

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 8 月 8 日 (08.08.2002)

PCT

(10) 国際公開番号
WO 02/061840 A1

(51) 国際特許分類: H01L 27/11, 21/8244

(21) 国際出願番号: PCT/JP01/11426

(22) 国際出願日: 2001 年 12 月 26 日 (26.12.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-022132 2001 年 1 月 30 日 (30.01.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 西田 彰男 (NISHIDA, Akio) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体

グループ内 Tokyo (JP). 吉田 安子 (YOSHIDA, Yasuko) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 池田 修二 (IKEDA, Shuji) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿8丁目1番1号 アゼリアビル 3 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

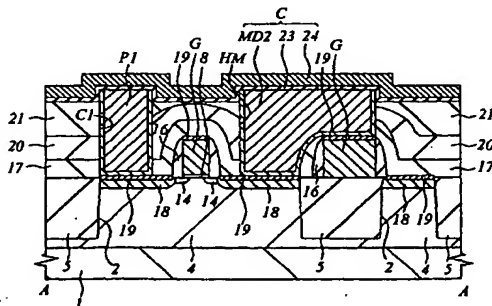
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体集積回路装置およびその製造方法



(57) Abstract: A semiconductor integrated circuit device, e.g. a high-performance semiconductor integrated circuit device reduced in soft error of a memory cell in an SRAM, wherein the surface of wiring (MD2) of a cross-connection portion in the SRAM memory cell having a pair of n-channel type MISFET where respective gate electrodes and drains are cross-connected is shaped to project beyond the surface of a silicon oxide film (21), and a silicon nitride film (23) to work as a capacity insulation film and an upper electrode (24) are formed on the wiring (MD2). The wiring (MD2), the silicon nitride film (23) and the upper electrode (24) can form a capacity (C) to be able to reduce soft error due to an α -ray. Since a capacity can be formed on the side walls of the wiring (MD2), a capacity can be increased.

[続葉有]

WO 02/061840 A1



(57) 要約:

半導体集積回路装置、例えば、SRAMのメモリセルのソフトエラーを低減させた高性能の半導体集積回路装置を提供するため、それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを有するSRAMメモリセルの、交差接続部の配線MD2の表面を酸化シリコン膜21の表面より突出した形状とし、この配線MD2上に、容量絶縁膜となる窒化シリコン膜23と、上部電極24を形成する。この配線MD2、窒化シリコン膜23および上部電極24とで容量Cを形成することができ、 α 線によるソフトエラーを低減することができる。また、配線MD2側壁にも容量を形成することができるため、容量の増加を図ることができる。

明 細 書

半導体集積回路装置およびその製造方法

5 技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、SRAM (Static Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

10 背景技術

パソコンやワークステーション用のキャッシュメモリには、SRAMが使用されている。

このSRAMは、1ビットの情報を記憶するフリップフロップ回路と2個の情報転送用MISFET (Metal Insulator Semiconductor Field Effect Transistor) とで構成され、このフリップフロップ回路は、例えば、一对の駆動用MISFETと一对の負荷用MISFETとで構成される。

このようなメモリセルに対し、 α 線によるソフトエラーが問題となっている。 α 線によるソフトエラーとは、外界の宇宙線に含まれる α 線やLSIのパッケージ材料中に含まれる放射性原子から放出される α 線が、メモリセル内に入り、メモリセル中に保存されている情報を破壊する現象である。

この α 線対策のために、メモリセル中の情報蓄積部 (前記フリップフロップ回路の入出力部) に容量を付加し、情報蓄積部の容量を増加させる方法が検討されている。

例えば、特開平11-17027号公報には、FET Q_p' 、 Q_{nd}' のドレイン領域と接続された多結晶シリコン10と、FET Q_p 、 Q_{nd} のドレイン領域と接続された多結晶シリコン11とによって容量を形成することによって、ソフトエラー耐性を向上させる技術が記載されている。

また、特開平10-163440号公報には、情報を記憶するフリップフロップ回路の入出力端子を交差結合する局所配線L1、L2とこれらの間に介在する

薄い絶縁膜とでキャパシタ C を構成することにより、メモリセルの蓄積ノードの容量を増加させ、 α 線ソフトエラー耐性の低下を防ぐ技術が記載されている。

しかしながら、メモリセルの高集積化に伴う微細化が進むと、容量を形成することができる領域も小さくなる。従って、情報蓄積部の容量を増加させることに
5 限界が生じてくる。

一方、製品の使用目的等に応じて容量の目標値も高くなってきている。図 48 は、電源電圧 (V_{cc}) が、1.2 V の製品および 1.5 V の製品に対する α 線の入射エネルギー (MeV) とノイズ電荷量 (C) との関係を示す図である。図 48 に示すように、 α 線を、情報蓄積部に照射すると、情報蓄積部に電荷 (ノイズ) が蓄積される。この電荷の最大値は、1.2 V の製品においては、6.2 fC である。この製品の臨界電荷量が 4.3 fC であることから、各ノードには、1.9 (= 6.2 - 4.3) fC 以上の電荷量を蓄積することができる容量を追加する必要がある。また、1.5 V の製品においては、この電荷の最大値は、6.1 fC であり、臨界電荷量が 3.4 fC であることから、各ノードには、2.7
10 (= 6.1 - 3.4) fC の電荷量を蓄積することができる容量を追加する必要がある。なお、臨界電荷量とは、情報蓄積部に保持された情報 (1 もしくは 0) を反転させてしまう電荷量をいう。

このように、微細化により容量を形成することができる領域が小さくなっているにもかかわらず、要求される容量は大きくなってきている。

20 本発明の目的は、半導体集積回路装置、例えば、SRAM のメモリセルの情報蓄積部の容量を確保することにより、 α 線によるソフトエラーを低減することができる技術を提供することにある。

本発明の他の目的は、半導体集積回路装置、例えば、SRAM のメモリセルのソフトエラーを低減させた高性能の半導体集積回路装置を提供することにある。

25 本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、

次のとおりである。

(1) 本発明の半導体集積回路装置は、それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、前記nチャネル型MISFET上に形成された層間絶縁膜と、前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する導電層と、前記導電層の上部および突出部の側壁に沿って形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極と、を有する。このような手段によれば、導電層、容量絶縁膜および上部電極とで容量を形成することができるため α 線によるソフトエラーを低減することができる。また、前記導電層の突出部の側壁にも容量を形成することができるため、容量の増加を図ることができる。

(2) 本発明の半導体集積回路装置は、それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、前記nチャネル型MISFET上に形成された層間絶縁膜と、前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成された導電層と、前記導電層の上部に形成された下部電極と、前記下部電極の上部に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極と、を有する。このような手段によれば、下部電極、容量絶縁膜および上部電極とで容量を形成することができるため α 線によるソフトエラーを低減することができる。また、前記下部電極の形成領域を、導電層の形成領域より大きくすれば、容量を増加させることができる。

(3) 本発明の半導体集積回路装置は、それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、前記nチャネル型MISFET上に形成された層間絶縁膜と、前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する導電層と、前記導電層の上部および突出部の側壁に沿って形成された下部電極と、前記下部電極の上部に形成された容量絶縁膜

と、前記容量絶縁膜上に形成された上部電極と、を有する。このような手段によれば、下部電極、容量絶縁膜および上部電極とで導電層に接続される容量を形成することができるため α 線によるソフトエラーを低減することができる。また、前記下部電極の形成領域を、導電層の形成領域より大きくすれば、容量を増加させることができ、また、前記導電層の突出部の側壁にに沿って形成された下部電極上にも容量を形成することができるため、容量の増加を図ることができる。

(4) 本発明の半導体集積回路装置は、それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、前記nチャネル型MISFET上に形成された層間絶縁膜と、前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、その表面に凹部を有する導電層と、前記凹部内を含む前記導電層の上部に形成された容量絶縁膜と、前記容量絶縁膜上に形成された上部電極と、を有する。このような手段によれば、導電層、容量絶縁膜および上部電極とで容量を形成することができるため α 線によるソフトエラーを低減することができる。また、前記導電層の凹部上にも容量を形成することができるため、容量の増加を図ることができる。

(5) 本発明の半導体集積回路装置の製造方法は、それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、前記nチャネル型MISFETを形成する工程と、前記nチャネル型MISFET上に層間絶縁膜を形成する工程と、前記nチャネル型MISFETのゲート電極上からドレインまで延在する接続孔を形成する工程と、前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記接続孔内に埋め込まれた導電層を形成する工程と、露出した前記層間絶縁膜の表面をさらにエッチングすることによって、前記導電層の側壁の上部を露出させる工程と、前記導電層の上部および露出した側壁に沿って容量絶縁膜を形成する工程と、前記容量絶縁膜上に上部電極を形成する工程と、を有する。このような手段によれば、導電層、容量絶縁膜および上部電極とで構成される容量によりソフトエラーを低減した半導体集積回路装置を形成すること

ができる。前記層間絶縁膜の表面をさらにエッチングし、導電層の側壁の上部を露出させることによって、容量の増加を図ることができる。

(6) 本発明の半導体集積回路装置の製造方法は、それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、前記nチャネル型MISFETを形成する工程と、前記nチャネル型MISFET上に層間絶縁膜を形成する工程と、前記一对のnチャネル型MISFETのうち一方のゲート電極上か他方のドレインまで延在する接続孔を形成する工程と、前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、前記導電層の上部に下部電極を形成する工程と、前記下部電極上に容量絶縁膜を形成する工程と、前記容量絶縁膜上に上部電極を形成する工程と、を有する。ことを特徴とする半導体集積回路装置。このような手段によれば、下部電極、容量絶縁膜および上部電極とで構成される容量によりソフトエラーを低減した半導体集積回路装置を形成することができる。また、前記下部電極の形成領域を、導電層の形成領域より大きくすれば、容量の増加を図ることができる。

(7) 本発明の半導体集積回路装置の製造方法は、それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、前記nチャネル型MISFETを形成する工程と、前記nチャネル型MISFET上に層間絶縁膜を形成する工程と、前記一对のnチャネル型MISFETのうち一方のゲート電極上から他方のドレインまで延在する接続孔を形成する工程と、前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記接続孔内に埋め込まれた導電層を形成する工程と、露出した前記層間絶縁膜の表面をさらにエッチングすることによって、前記導電層の側壁の上部を露出させる工程と、前記導電層の上部および露出した側壁に沿って下部電極を形成する工程と、前記下部電極上に容量絶縁膜を形成する工程と、前記容量絶縁膜上に上部電極を形成する工程と、を有する。このような手段によれば、下部電極、容量絶縁膜および上部電極とで構成される容量によりソフトエラーを低減した半導体集積回路装置を形成することができる。

また、前記下部電極の形成領域を、導電層の形成領域より大きくすれば、容量の増加を図ることができる。また、前記導電層の露出した側壁にに沿って形成された下部電極上にも容量を形成することができるため、容量の増加を図ることができる。

- 5 (8) 本発明の半導体集積回路装置の製造方法は、それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型M I S F E Tを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、前記nチャネル型M I S F E Tを形成する工程と、前記nチャネル型M I S F E T上に層間絶縁膜を形成する工程と、前記nチャネル型M I S F E Tのゲート電極上からドレインまで延在する接続孔を形成する工程と、前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程であって、前記接続孔の半径より小さい膜厚の導電性膜を堆積する工程と、前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記接続孔内に埋め込まれ、その上部に凹部を有する導電層を形成する工程と、前記導電層の上部に容量絶縁膜を形成する工程と、前記容量絶縁膜上に上部電極を形成する工程と、を有する。このような手段によれば、導電層、容量絶縁膜および上部電極とで構成される容量によりソフトエラーを低減した半導体集積回路装置を形成することができる。また、前記導電層の凹部上にも容量を形成することができるため、容量の増加を図ることができる。
- 10
- 15

20 図面の簡単な説明

図1は、本発明の実施の形態1であるS R A Mのメモリセルを示す等価回路図である。

図2は、本発明の実施の形態1であるS R A Mの製造方法を示す基板の要部断面図である。

- 25 図3は、本発明の実施の形態1であるS R A Mの製造方法を示す基板の要部平面図である。

図4は、本発明の実施の形態1であるS R A Mの製造方法を示す基板の要部断面図である。

図5は、本発明の実施の形態1であるS R A Mの製造方法を示す基板の要部

平面図である。

図 6 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部断面図である。

図 7 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部
5 断面図である。

図 8 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部断面図である。

図 9 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部平面図である。

10 図 1 0 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部断面図である。

図 1 1 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部断面図である。

15 図 1 2 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部平面図である。

図 1 3 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部断面図である。

図 1 4 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部平面図である。

20 図 1 5 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部断面図である。

図 1 6 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部平面図である。

25 図 1 7 は、本発明の実施の形態 1 である S R A M の製造方法を示す基板の要部平面図である。

図 1 8 は、本発明の効果を説明するための図である。

図 1 9 は、本発明の実施の形態 2 である S R A M の製造方法を示す基板の要部断面図である。

図 2 0 は、本発明の実施の形態 2 である S R A M の製造方法を示す基板の要

部平面図である。

図 2 1 は、本発明の実施の形態 2 である S R A M の製造方法を示す基板の要部断面図である。

5 図 2 2 は、本発明の実施の形態 2 である S R A M の製造方法を示す基板の要部平面図である。

図 2 3 は、本発明の実施の形態 3 である S R A M の製造方法を示す基板の要部断面図である。

図 2 4 は、本発明の実施の形態 3 である S R A M の製造方法を示す基板の要部断面図である。

10 図 2 5 は、本発明の実施の形態 4 である S R A M の製造方法を示す基板の要部断面図である。

図 2 6 は、本発明の実施の形態 4 である S R A M の製造方法を示す基板の要部断面図である。

15 図 2 7 は、本発明の実施の形態 5 である S R A M の製造方法を示す基板の要部断面図である。

図 2 8 は、本発明の実施の形態 5 である S R A M の製造方法を示す基板の要部断面図である。

図 2 9 は、本発明の実施の形態 5 である S R A M の製造方法を示す基板の要部平面図である。

20 図 3 0 は、本発明の実施の形態 5 である S R A M の製造方法を示す基板の要部断面図である。

図 3 1 は、本発明の実施の形態 5 である S R A M の製造方法を示す基板の要部平面図である。

25 図 3 2 は、本発明の実施の形態 5 である S R A M の製造方法を示す基板の要部断面図である。

図 3 3 は、本発明の実施の形態 6 である S R A M のメモリセルの配置を示す図である。

図 3 4 は、本発明の実施の形態 6 である S R A M のメモリセルアレイの配置を示す図である。

図 3 5 は、本発明の実施の形態 6 である S R A M の製造方法を示す基板の要部平面図である。

図 3 6 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部断面図である。

5 図 3 7 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部断面図である。

図 3 8 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部平面図である。

10 図 3 9 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部断面図である。

図 4 0 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部平面図である。

図 4 1 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部断面図である。

15 図 4 2 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部平面図である。

図 4 3 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部断面図である。

20 図 4 4 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部平面図である。

図 4 5 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部断面図である。

図 4 6 は、本発明の実施の形態 7 である S R A M の製造方法を示す基板の要部平面図である。

25 図 4 7 は、本発明の効果を説明するための図である。

図 4 8 は、本発明の課題を説明するための図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形

態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

(実施の形態 1)

図 1 は、実施の形態 1 である SRAM のメモリセルを示す等価回路図である。

- 5 図示のように、このメモリセル MC は、一対の相補性データ線（データ線 DL、データ線 / (バー) DL）とワード線 WL との交差部に配置され、一対の駆動用 MISFET Q_{d1} , Q_{d2} 、一対の負荷用 MISFET Q_{p1} , Q_{p2} および一対の転送用 MISFET Q_{t1} , Q_{t2} により構成されている。駆動用 MISFET Q_{d1} , Q_{d2} および転送用 MISFET Q_{t1} , Q_{t2} は n チャネル型
- 10 MISFET で構成され、負荷用 MISFET Q_{p1} , Q_{p2} は p チャネル型 MISFET で構成されている。

- メモリセル MC を構成する上記 6 個の MISFET のうち、駆動用 MISFET Q_{d1} および負荷用 MISFET Q_{p1} は、CMOS インバータ INV1 を構成し、駆動用 MISFET Q_{d2} および負荷用 MISFET Q_{p2} は、CMOS
- 15 OS インバータ INV2 を構成している。これら一対の CMOS インバータ INV1, INV2 の相互の入出力端子（蓄積ノード A、B）は、交差結合され、1 ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。また、このフリップフロップ回路の一方の入出力端子（蓄積ノード A）は、転送用 MISFET Q_{t1} のソース、ドレイン領域の一方に接続され、他方の入出力
- 20 端子（蓄積ノード B）は、転送用 MISFET Q_{t2} のソース、ドレイン領域の一方に接続されている。

- さらに、転送用 MISFET Q_{t1} のソース、ドレイン領域の他方はデータ線 DL に接続され、転送用 MISFET Q_{t2} のソース、ドレイン領域の他方はデータ線 / DL に接続されている。また、フリップフロップ回路の一端（負荷用 MISFET Q_{p1} , Q_{p2} の各ソース領域）は電源電圧 (V_{cc}) に接続され、他
- 25 端（駆動用 MISFET Q_{d1} , Q_{d2} の各ソース領域）は基準電圧 (V_{ss}) に接続されている。

上記回路の動作を説明すると、一方の CMOS インバータ INV1 の蓄積ノード A が高電位（“H”）であるときには、駆動用 MISFET Q_{d2} が ON にな

るので、他方のCMOSインバータINV2の蓄積ノードBが低電位（“L”）になる。従って、駆動用MISFETQd1がOFFになり、蓄積ノードAの高電位（“H”）が保持される。すなわち、一对のCMOSインバータINV1, INV2を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保存される。

転送用MISFETQt1, Qt2のそれぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISFETQt1, Qt2の導通、非導通が制御される。すなわち、ワード線WLが高電位（“H”）であるときには、転送用MISFETQt1, Qt2がONになり、フリップフロップ回路と相補性データ線（データ線DL, /DL）とが電氣的に接続されるので、蓄積ノードA、Bの電位状態（“H”または“L”）がデータ線DL, /DLに現れ、メモリセルMCの情報として読み出される。

メモリセルMCに情報を書き込むには、ワード線WLを“H”電位レベル、転送用MISFETQt1, Qt2をON状態にしてデータ線DL, /DLの情報を蓄積ノードA、Bに伝達する。

次に、本実施の形態のSRAMの製造方法を図2～図17を用いて説明する。

まず、図2および図3に示すように、半導体基板1中に素子分離2を形成する。図3は、メモリセル約1個分の領域を示す半導体基板の平面図であり、図2は、図3の断面図であり、図3のA-A断面と対応する。この素子分離2は、以下のように形成する。例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板1をエッチングすることにより深さ250nm程度の素子分離溝を形成する。

その後、半導体基板1を約1000℃で熱酸化することによって、溝の内壁に膜厚10nm程度の薄い酸化シリコン膜（図示せず）を形成する。この酸化シリコン膜は、溝の内壁に生じたドライエッチングのダメージを回復すると共に、次の工程で溝の内部に埋め込まれる酸化シリコン膜5と半導体基板1との界面に生じるストレスを緩和するために形成する。

次に、溝の内部を含む半導体基板1上にCVD（Chemical Vapor deposition）法で膜厚450～500nm程度の酸化シリコン膜5を堆積し、化学的機械研磨

(CMP ; Chemical Mechanical Polishing) 法で溝の上部の酸化シリコン膜 5 を研磨し、その表面を平坦化する。

次に、半導体基板 1 に p 型不純物 (ホウ素) および n 型不純物 (例えばリン) をイオン打ち込みした後、約 1 0 0 0 °C の熱処理で上記不純物を拡散させること
5 によって、半導体基板 1 に p 型ウエル 3 および n 型ウエル 4 を形成する。図 3 に示すように、半導体基板 1 には、2 つの p 型ウエル 3 および 2 つの n 型ウエル 4 主表面である活性領域 A n 1、A n 2、A p 1、A p 2 が形成され、これらの活性領域は、酸化シリコン膜 5 が埋め込まれた素子分離 2 で囲まれている。

また、追って詳細に説明するように、メモリセル MC を構成する 6 個の M I S
10 F E T (Q t 1、Q t 2、Q d 1、Q d 2、Q p 1、Q p 2) のうち n チャネル型 M I S F E T (Q t 1、Q d 1) は、活性領域 A p 1 (p 型ウエル 3) 上に形成され、n チャネル型 M I S F E T (Q t 2、Q d 2) は、活性領域 A p 2 (p 型ウエル 3) 上に形成される。また、p チャネル型 M I S F E T (Q p 2) は、活性領域 A n 1 (n 型ウエル 4) 上に形成され、p チャネル型 M I S F E T (Q
15 p 1) は、活性領域 A n 2 (n 型ウエル 4) 上に形成される。

次に、半導体基板 1 の主表面に n チャネル型 M I S F E T (Q t 1、Q d 1、Q t 2、Q d 2) および p チャネル型 M I S F E T (Q p 1、Q p 2) を形成する。

まず、フッ酸系の洗浄液を用いて半導体基板 1 (p 型ウエル 3 および n 型ウエル
20 4) の表面をウェット洗浄した後、図 4 に示すように、約 8 0 0 °C の熱酸化で p 型ウエル 3 および n 型ウエル 4 のそれぞれの表面に膜厚 6 nm 程度の清浄なゲート酸化膜 8 を形成する。

次いで、ゲート酸化膜 8 上にゲート電極 G を形成する。図 5 は、メモリセル約
1 個分の領域を示す半導体基板の平面図であり、図 4 は、図 5 の A - A 断面と対応する。このゲート電極 G は、以下のように形成する。まず、ゲート酸化膜 8 の
25 上部に膜厚 1 0 0 nm 程度の低抵抗多結晶シリコン膜 9 を C V D 法で堆積する。

次に、フォトリソ膜 (図示せず) をマスクにして多結晶シリコン膜 9 をドライエッチングすることにより、多結晶シリコン膜 9 からなるゲート電極 G を形成する。図 5 に示すように、活性領域 A p 1 上には、転送用 M I S F E T Q t 1

のゲート電極Gと、駆動用MISFETQd1のゲート電極Gが形成され、活性領域Ap2上には、転送用MISFETQt2のゲート電極Gと、駆動用MISFETQd2のゲート電極Gが形成されている。また、活性領域An1上には、負荷用MISFETQp2のゲート電極Gが形成され、活性領域An2上には、
5 負荷用MISFETQp1のゲート電極Gが形成されている。これらのゲート電極は、それぞれ図中のA-Aと直交する方向に形成され、負荷用MISFETQp1のゲート電極Gと駆動用MISFETQd1のゲート電極とは共通であり、また、負荷用MISFETQp2のゲート電極および駆動用MISFETQd2のゲート電極とは共通である。

- 10 次に、p型ウエル3上のゲート電極Gの両側にn型不純物（リン）を注入することによってn⁻型半導体領域を形成し、また、n型ウエル4上にp型不純物（ヒ素）を注入することによってp⁻型半導体領域14を形成する。

- 次いで、半導体基板1上にCVD法で膜厚40nm程度の窒化シリコン膜を堆積した後、異方的にエッチングすることによって、ゲート電極Gの側壁にサイドウォールスペーサ16を形成する。
15

次に、p型ウエル3にn型不純物（リンまたはヒ素）をイオン打ち込みすることによってn⁺型半導体領域（ソース、ドレイン）を形成し、n型ウエル4にp型不純物（ホウ素）をイオン打ち込みすることによってp⁺型半導体領域18（ソース、ドレイン）を形成する。

- 20 ここまでの工程で、メモリセルMCを構成する6個のMISFET（駆動用MISFETQd1、Qd2、転送用MISFETQt1、Qt2および負荷用MISFETQp1、Qp2）が完成する。

- 続いて、半導体基板1の表面を洗浄した後、半導体基板1上に、スパッタ法によりCo膜およびTi膜を順次堆積する。次いで、図6に示すように、600℃
25 で1分間の熱処理を施し、半導体基板1の露出部（n⁺型半導体領域、p⁺型半導体領域18）およびゲート電極G上に、CoSi₂層19を形成する。

次いで、未反応のCo膜およびTi膜をエッチングにより除去した後、700から800℃で、1分間程度の熱処理を施し、CoSi₂層19を低抵抗化する。

次いで、図7に示すように、半導体基板1上にCVD法で膜厚50nm程度の窒

化シリコン膜17を堆積する。なお、窒化シリコン膜17は、後述するコンタクトホールC1等の形成時のエッチングストッパーとしての役割を果たす。

続いて、窒化シリコン膜17の上部にPSG (Phosphor Silicate Glass) 膜20を塗布し、熱処理を行い、平坦化した後、酸化シリコン膜21を堆積してもよい。この酸化シリコン膜21は、例えば、テトラエトキシシランを原料とし、プラズマCVD法により形成する。このPSG膜20、酸化シリコン膜21および窒化シリコン膜17は、ゲート電極Gと第1層配線M1との間の層間絶縁膜となる。また、CVD法で膜厚700nm~800nm程度の酸化シリコン膜21を窒化シリコン膜17の上部に堆積した後、酸化シリコン膜21の表面をCMP (Chemical Mechanical Polishing) 法で研磨してその表面を平坦化してもよい。

次に、図8および図9に示すように、フォトリソ膜 (図示せず) をマスクにしたドライエッチングで酸化シリコン膜21およびPSG膜20をドライエッチングし、続いて窒化シリコン膜17をドライエッチングすることによって、 n^+ 型半導体領域 (ソース、ドレイン) および p^+ 型半導体領域18 (ソース、ドレイン) 上にコンタクトホールC1および配線溝HMを形成する。また、転送用MISFETQt1、Qt2のゲート電極G上にコンタクトホールC1を形成する。図9中の2つの配線溝HMのうち、一方の配線溝HMは、駆動用MISFETQd1のドレイン上から負荷用MISFETQp1のドレイン上を経由し、駆動用MISFETQd2のゲート電極上まで延在している。また、他方の配線溝HMは、駆動用MISFETQd2のドレイン上から負荷用MISFETQp2のドレイン上を経由し、駆動用MISFETQd1のゲート電極上まで延在している (図9)。

次いで、コンタクトホールC1および配線溝HM内に導電性膜を埋め込むことによりプラグP1および配線MD1、MD2 (導電層) を形成する。まず、コンタクトホールC1および配線溝HMの内部を含む酸化シリコン膜21の上部にスパッタ法により膜厚10nm程度のTi膜 (図示せず) および膜厚50nm程度のTiN膜を順次し、500~700℃で1分間熱処理を施す。次いでCVD法によりW膜を堆積し、酸化シリコン膜21の表面が露出するまでエッチバックもしくはCMPを施し、コンタクトホールC1および配線溝HM外部のTi膜、T

i N膜およびW膜を除去することにより、コンタクトホールC 1内にプラグP 1を形成し、配線溝HM内に配線MD 1、MD 2を形成する。この際、酸化シリコン膜2 1の表面とプラグP 1および配線MD 1、MD 2との表面は、ほぼ一致している。

- 5 次いで、図1 0に示すように、酸化シリコン膜2 1の表面をさらに、エッチングする。この際、プラグP 1および配線MD 1、MD 2の側壁上部が露出する。なお、PSG膜2 0を形成している場合は、PSG膜2 0の表面が露出しないよう酸化シリコン膜2 1の膜厚を調整する必要がある。

- 10 次いで、図1 1に示すように、酸化シリコン膜2 1、プラグP 1および配線MD 2上に窒化シリコン膜2 3を形成する。この窒化シリコン膜2 3は、下部電極となる配線MD 1、MD 2と後述する上部電極2 4との間に形成され、容量絶縁膜となる。

- 15 次に、窒化シリコン膜2 3上に、スパッタ法によりTi N膜を堆積し、パターニングすることによって、配線MD 1、MD 2上および負荷用MISFETQp 1、Qp 2のソース上のプラグP 1上に延在する上部電極2 4を形成する（図1 2）。この上部電極2 4は、転送用MISFETQt 1、Qt 2の一端（データ線と接続される側）上のプラグP 1および駆動用MISFETQd 1、Qd 2のソース上のプラグP 1上に延在しないようパターニングする。

- 20 以上の工程により下部電極となる配線MD 1、MD 2と、窒化シリコン膜2 3と上部電極2 4とで構成される容量Cを形成することができる。

- 25 このように、本実施の形態によれば、配線MD 1、MD 2と接続される容量Cを形成したので、SRAMのメモリセルに入射した α 線によるソフトエラーを低減することができる。また、配線MD 1、MD 2を形成した後、酸化シリコン膜2 1の表面をさらに、エッチングしたので、配線MD 1、MD 2の側壁上部が露出し、この側壁に沿って容量絶縁膜となる窒化シリコン膜2 3を形成することができるため、容量を増加させることができる。

図1 8は、酸化シリコン膜2 1の表面のエッチング量および窒化シリコン膜2 3の膜厚とメモリセルの容量増加量（fF）との関係を示す図である。グラフ（a）（b）および（c）は、それぞれ酸化シリコン膜2 1の表面のエッチング量が2

00 nm、100 nmおよび0 nmの場合の容量増加量を示す。図18に示すように、例えば、酸化シリコン膜21の表面のエッチング量が200 nm、窒化シリコン膜23の膜厚が10 nmの場合には、容量を、約6 fF増加させることができる。また、酸化シリコン膜21の表面のエッチング量が100 nm、窒化シリコン膜の膜厚が10 nmの場合には、容量を、約4 fF増加させることができる。

この後、上部電極24上に層間絶縁膜を介し第1層配線M1および第2層配線M2が形成される。引き続き、これらの配線の形成工程について説明する。

まず、図13および図14に示すように、上部電極24上に、酸化シリコン膜25をCVD法により堆積する。次いで、プラグP1上の酸化シリコン膜25をエッチングにより除去することによりコンタクトホールC2を形成する。ここで、負荷用MISFETQp1、Qp2のソース上のプラグP1上においては、窒化シリコン膜23が存在するため、酸化シリコン膜25の他、上部電極24および窒化シリコン膜23もエッチングにより除去する。

次いで、コンタクトホールC2内に導電性膜を埋め込むことによりプラグP2を形成する。まず、コンタクトホールC2の内部を含む酸化シリコン膜25の上部にスパッタ法により膜厚10 nm程度のTi膜（図示せず）および膜厚50 nm程度のTiN膜を順次し、500～700℃で1分間熱処理を施す。次いでCVD法によりW膜を堆積し、酸化シリコン膜25の表面が露出するまでエッチバックもしくはCMPを施し、コンタクトホールC2外部のTi膜、TiN膜およびW膜を除去することによりプラグP2を形成する。なお、図14の平面図においては、ゲート電極Gおよび活性領域An1等の表示を省略している。

続いて、図15および図16に示すように、酸化シリコン膜25およびプラグP2上に、第1層配線M1を形成する。スパッタ法により膜厚10 nm程度のTi膜（図示せず）および膜厚50 nm程度のTiN膜を順次し、500～700℃で1分間熱処理を施す。次いでCVD法によりW膜を堆積し、パターニングすることにより第1層配線M1を形成する。第1層配線M1のうち、転送用MISFETQt1とQt2のゲート電極GをプラグP1を介して接続する第1層配線M1はワード線WLとなる。

次いで、図17に示すように、第1層配線M1および酸化シリコン膜25上に、酸化シリコン膜27（図17中には図示せず）をCVD法により堆積し、次いで、第1層配線M1上の酸化シリコン膜27をエッチングにより除去することによりコンタクトホールC3を形成する。

- 5 次いで、コンタクトホールC3内に導電性膜を埋め込むことによりプラグP3を形成する。このプラグP3は、プラグP2と同様に形成する。

- 続いて、酸化シリコン膜27およびプラグP3上に、第2層配線M2を形成する。まず、スパッタ法により膜厚10nm程度のTi膜（図示せず）および膜厚50nm程度のTiN膜を順次し、500～700℃で1分間熱処理を施す。次いでCVD法によりW膜を堆積し、パターニングすることにより第2層配線M2を形成する。第2層配線M2を介して駆動用MISFETQd1およびQd2のソースに基準電位（Vss）が供給される。
- 10

- また、第2層配線M2を介して負荷用MISFETQp1およびQp2のソースに電源電位（Vcc）が供給される。従って、図13に示したように、上部電極24は、負荷用MISFETQp1およびQp2のソースと接続されるプラグP2の側壁と接しているため、上部電極24には、電源電位（Vcc）が供給される。その結果、前述の容量Cは、図1中の蓄積ノードAもしくはBと電源電位（Vcc）との間に接続される容量となる。
- 15

- また、駆動用MISFETQd1、Qd2の一端と接続された第2層配線はデータ線（DL、/DL）となる。
- 20

以上の工程により、図1を用いて説明したSRAMメモリセルが、ほぼ完成する。

（実施の形態2）

- 本実施の形態のSRAMの製造方法を図19～図22を用いて説明する。なお、図2～図9を用いて説明したプラグP1および配線MD1、MD2形成工程までは、実施の形態1の場合と同様であるためその説明を省略する。
- 25

まず、実施の形態1で説明した図8および図9に示す半導体基板1を準備し、図19に示すように、酸化シリコン膜21、プラグP1および配線MD2上に、スパッタ法によりTiN膜を堆積し、パターニングすることによって、配線MD

1、MD 2 上に下部電極 2 2 を形成する。この下部電極 2 2 形成領域は、配線 MD 1、MD 2 形成領域より大きい (図 2 0)。

次いで、図 2 1 および図 2 2 に示すように、下部電極 2 2 および酸化シリコン膜 2 1 上に、窒化シリコン膜 2 3 を形成する。この窒化シリコン膜 2 3 は、下部電極 2 2 と後述する上部電極 2 4 との間に形成され、容量絶縁膜となる。

次に、窒化シリコン膜 2 3 上に、スパッタ法により TiN 膜を堆積し、パターニングすることによって、下部電極 2 2 上および負荷用 MISFET Qp 1、Qp 2 のソース上のプラグ P 1 上に延在する上部電極 2 4 を形成する。この上部電極 2 4 は、転送用 MISFET Qt 1、Qt 2 の一端 (データ線と接続される側) 上のプラグ P 1 および駆動用 MISFET Qd 1、Qd 2 のソース上のプラグ P 1 上に延在しないようパターニングする。

以上の工程により下部電極 2 2 と、窒化シリコン膜 2 3 と上部電極 2 4 とで構成される容量 C を形成することができる。

このように、本実施の形態によれば、配線 MD 1、MD 2 と接続される容量 C を形成したので、SRAM のメモリセルに入射した α 線によるソフトエラーを低減することができる。また、この下部電極 2 2 形成領域を、配線 MD 1、MD 2 形成領域より大きくしたので、容量を増加させることができる。

次いで、上部電極 2 4 上に、酸化シリコン膜 2 5 を CVD 法により堆積した後、第 1 層配線 M 1 および第 2 層配線 M 2 が形成されるが、これらの形成工程は、図 1 3 ~ 図 1 7 を参照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。

(実施の形態 3)

本実施の形態の SRAM の製造方法を図 2 3 および図 2 4 を用いて説明する。なお、図 2 ~ 図 1 0 を用いて説明した酸化シリコン膜 2 1 の表面のエッチング工程までは、実施の形態 1 の場合と同様であるためその説明を省略する。

まず、実施の形態 1 で説明した図 1 0 に示す半導体基板 1 を準備し、図 2 3 に示すように、酸化シリコン膜 2 1、プラグ P 1 および配線 MD 2 上に、スパッタ法により TiN 膜を堆積し、パターニングすることによって、配線 MD 1、MD 2 上に下部電極 2 2 を形成する。この際、配線 MD 1、MD 2 の表面と酸化シリ

コン膜 2 1 の表面との間に段差が生じているため、下部電極 2 2 の表面にもこの段差に対応した段差が生じている。この下部電極 2 2 の形成領域は、配線 MD 1、MD 2 形成領域より大きい (図 2 0 と同様)。

次いで、図 2 4 に示すように、下部電極 2 2、酸化シリコン膜 2 1 およびプラグ P 1 上に、窒化シリコン膜 2 3 を形成する。この窒化シリコン膜 2 3 は、下部電極 2 2 と後述する上部電極 2 4 との間に形成され、容量絶縁膜となる。

次に、窒化シリコン膜 2 3 上に、スパッタ法により TiN 膜を堆積し、パターニングすることによって、配線 MD 1、MD 2 上および負荷用 MISFET Qp 1、Qp 2 のソース上のプラグ P 1 上に延在する上部電極 2 4 を形成する (図 2 2 と同様)。この上部電極 2 4 は、転送用 MISFET Qt 1、Qt 2 の一端 (データ線と接続される側) 上のプラグ P 1 および駆動用 MISFET Qd 1、Qd 2 のソース上のプラグ P 1 上に延在しないようパターニングする。

以上の工程により下部電極 2 2 と、窒化シリコン膜 2 3 と上部電極 2 4 とで構成される容量 C を形成することができる。

このように、本実施の形態によれば、配線 MD 1、MD 2 と接続される容量 C を形成したので、SRAM のメモリセルに入射した α 線によるソフトエラーを低減することができる。また、この際、下部電極 2 2 の表面には配線 MD 1、MD 2 の表面と酸化シリコン膜 2 1 の表面との間の段差に対応した段差が生じていたため、この段差に沿って下部電極 2 2 および容量絶縁膜となる窒化シリコン膜 2 3 を形成することができ、容量を増加させることができる。また、この下部電極 2 2 形成領域を、配線 MD 1、MD 2 形成領域より大きくしたので、容量を増加させることができる。

次いで、上部電極 2 4 上に、酸化シリコン膜 2 5 を CVD 法により堆積した後、第 1 層配線 M 1 および第 2 層配線 M 2 が形成されるが、これらの形成工程は、図 1 3 ~ 図 1 7 を参照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。

(実施の形態 4)

本実施の形態の SRAM の製造方法を図 2 5 および図 2 6 を用いて説明する。なお、図 2 ~ 図 7 を用いて説明した酸化シリコン膜 2 1 形成工程までは、実施の

形態 1 の場合と同様であるためその説明を省略する。

まず、実施の形態 1 で説明した図 7 に示す半導体基板 1 を準備し、図 2 5 に示すように、フォトリソ膜 (図示せず) をマスクにしたドライエッチングで酸化シリコン膜 2 1 および P S G 膜 2 0 をドライエッチングし、続いて窒化シリコン膜 1 7 をドライエッチングすることによって、 n^+ 型半導体領域 (ソース、ドレイン) および p^+ 型半導体領域 1 8 (ソース、ドレイン) 上にコンタクトホール C 1 および配線溝 H M を形成する。また、ゲート電極 G 上にコンタクトホール C 1 を形成する (図 9 と同じ)。図中の 2 つの配線溝のうち、一方の配線溝 H M は、駆動用 M I S F E T Q d 1 のドレイン上から負荷用 M I S F E T Q p 1 のドレイン上を経由し、駆動用 M I S F E T Q d 2 のゲート電極上まで延在している。また、他方の配線溝 H M は、駆動用 M I S F E T Q d 2 のドレイン上から負荷用 M I S F E T Q p 2 のドレイン上を経由し、駆動用 M I S F E T Q d 1 のゲート電極上まで延在している。

次いで、コンタクトホール C 1 および配線溝 H M の内部を含む酸化シリコン膜 2 1 の上部にスパッタ法により膜厚 1 0 n m 程度の T i 膜 (図示せず) および膜厚 5 0 n m 程度の T i N 膜を順次し、5 0 0 ~ 7 0 0 ° C で 1 分間熱処理を施す。次いで C V D 法により W 膜を堆積する。この際、W 膜の膜厚をコンタクトホール C 1 の半径より小さくする。次いで、T i 膜、T i N 膜および W 膜を、酸化シリコン膜 2 1 の表面が露出するまでエッチバックもしくは C M P し、コンタクトホール C 1 および配線溝 H M 外部の T i 膜、T i N 膜および W 膜を除去する。この結果、コンタクトホール C 1 内に埋め込まれたプラグ P 1 と、その上部に凹部 a を有する配線 M D 1、M D 2 が形成される。

次いで、図 2 6 に示すように、酸化シリコン膜 2 1、プラグ P 1 および配線 M D 2 上に窒化シリコン膜 2 3 を形成する。この窒化シリコン膜 2 3 は、下部電極となる配線 M D 1、M D 2 と後述する上部電極 2 4 との間に形成され、容量絶縁膜となる。

次に、窒化シリコン膜 2 3 上に、スパッタ法により T i N 膜を堆積し、パターニングすることによって、配線 M D 1、M D 2 上および負荷用 M I S F E T Q p 1、Q p 2 のソース上のプラグ P 1 上に延在する上部電極 2 4 を形成する (図 2

2と同様)。この上部電極24は、転送用MISFET Q_t1 、 Q_t2 の一端（データ線と接続される側）上のプラグP1および駆動用MISFET Q_d1 、 Q_d2 のソース上のプラグP1上に延在しないようパターニングする。

5 以上の工程により下部電極となる配線MD1、MD2と、窒化シリコン膜23と上部電極24とで構成される容量Cを形成することができる。

10 このように、本実施の形態によれば、配線MD1、MD2と接続される容量Cを形成したので、SRAMのメモリセルに入射した α 線によるソフトエラーを低減することができる。また、コンタクトホールC1の半径より小さい膜厚のW膜を用いて配線MD1、MD2を形成したので、配線MD1、MD2の上部に凹部aが形成され、この凹部aに沿って容量絶縁膜となる窒化シリコン膜23を形成

15 することができるため、容量を増加させることができる。

次いで、上部電極24上に、酸化シリコン膜25をCVD法により堆積した後、第1層配線M1および第2層配線M2が形成されるが、これらの形成工程は、図13～図17を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

20 なお、本実施の形態において、プラグP1および配線MD1、MD2形成後、実施の形態1のように酸化シリコン膜21の表面をエッチングした後、窒化シリコン膜23を形成してもよい。この場合、前記エッチングにより露出した配線MD1、MD2の側壁に沿って窒化シリコン膜23が形成されるため、さらに、容量を大きくすることができる。

また、容量を大きくするため、配線MD1、MD2形成後、実施の形態2のように、これらの配線上に下部電極22を形成した後、窒化シリコン膜23を形成してもよい。また、プラグP1および配線MD1、MD2形成後、実施の形態3のように、酸化シリコン膜21の表面をエッチングし、下部電極22を形成した

25 後、窒化シリコン膜23を形成してもよい。

（実施の形態5）

本実施の形態1（実施の形態2～4についても同様）においては、上部電極24に、プラグP2（負荷用MISFET Q_p1 および Q_p2 のソースと接続されている）の側壁を介して、電源電位（ V_{cc} ）を供給したが、このプラグP2の

底面を介して、電源電位 (V_{cc}) を供給することもできる。

本実施の形態のSRAMの製造方法を図27～図32を用いて説明する。なお、図2～図10を用いて説明した酸化シリコン膜21の表面のエッチング工程までは、実施の形態1の場合と同様であるためその説明を省略する。

- 5 まず、実施の形態1で説明した図10に示す半導体基板1を準備し、図27に示すように、酸化シリコン膜21、プラグP1および配線MD2上に窒化シリコン膜23を形成する。この窒化シリコン膜23は、下部電極となる配線MD1、MD2と後述する上部電極24との間に形成され、容量絶縁膜となる。

- 10 次に、図28および図29に示すように、負荷用MISFETのソース上のプラグP1上の窒化シリコン膜23を除去し、開口部OP1を形成する。

- 次いで、図30および図31に示すように、開口部OP1内を含む窒化シリコン膜23上に、スパッタ法によりTiN膜を堆積し、パターニングすることによって、配線MD1、MD2上および負荷用MISFETQp1、Qp2のソース上のプラグP1の上部に延在する上部電極24を形成する。この上部電極24は、
15 転送用MISFETQt1、Qt2の一端（データ線と接続される側）上のプラグP1および駆動用MISFETQd1、Qd2のソース上のプラグP1上に延在しないようパターニングする。

以上の工程により下部電極となる配線MD1、MD2と、窒化シリコン膜23と上部電極24とで構成される容量Cを形成することができる。

- 20 次いで、図32に示すように、上部電極24上に、酸化シリコン膜25をCVD法により堆積する。次いで、プラグP1の上部の酸化シリコン膜25をエッチングにより除去することによりコンタクトホールC2を形成する。

- このように、本実施の形態においては、負荷用MISFETQp1、Qp2のソース上のプラグP1の窒化シリコン膜23を、あらかじめ除去しているため、
25 このプラグP1上部の酸化シリコン膜25のみを除去すればよく、このプラグP1上のコンタクトホールC2を容易に形成することができる。

また、このプラグP1とコンタクトホールC2との間に合わせずれが生じても上部電極24を介してプラグP1とコンタクトホールC2内に形成されるプラグP2とが接続されるため、プラグP1とP2との導通不良を低減することができ

る。また、ゲート電極GとプラグP 2のショートに対するマージンを確保することができる。

- 次いで、酸化シリコン膜2 5上に、第1層配線M 1および第2層配線M 2が形成されるが、これらの配線の形成工程は、図1 5～図1 7を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

なお、実施の形態2～4の場合についても、同様に、負荷用MISFET Q p 1、Q p 2のソース上のプラグP 1の窒化シリコン膜2 3を除去し、開口部O P 1を形成した後、上部電極2 4およびプラグP 2を形成すれば、前述の効果を得ることができる。

10 (実施の形態6)

本実施の形態1（実施の形態2～4についても同様）においては、メモリセル約1個分の領域について説明したが、本発明を、メモリセルアレイに適用する場合について説明する。

- 図3 3に示すように、メモリセルMCは、データ線対(D L、/D L)とワード線W Lとの交点に、マトリクス状に配置されている。また、メモリセルアレイ中には、通常のメモリセルの他、冗長救済用のメモリセルが形成されている。この冗長救済用のメモリセルも、データ線対(D L、/D L)とワード線W Lとの交点に配置され、通常のメモリセル中に不良が発生した場合は、これと同一のデータ線(D L、/D L)に接続されたメモリセル列を、ヒューズ(F U S E)を切断することにより冗長救済用のメモリセル列に置き換えている。図3 4に、チップ上に配置されたメモリセルアレイのレイアウトを示す。図3 4に示すように、メモリセルアレイは、複数のメモリマットで構成されている。このメモリセルアレイの周辺には、入力バッファ(入力B u f .)、出力回路およびF U S E等の周辺回路が配置されている。なお、前述の冗長救済用のメモリセル列は、すべてのメモリマット中に形成されている必要はない。

図3 5は、本実施の形態のS R A Mを示す半導体基板の要部平面図である。図中には、縦横2個ずつのメモリセルM C 1 1、M C 1 2、M C 2 1、M C 2 2が配置されている。メモリセルM C 1 1、M C 2 1は、図2～図1 7を用いて説明した実施の形態1のメモリセルと同じ構成であるため、その説明を省略する。ま

た、メモリセルMC 2 1、MC 2 2は、図中のB－Bに対して、メモリセルMC 1 1、MC 1 2と対象な構造となっている。図示はしないが、図中のC－Cに対してメモリセルMC 1 1およびMC 1 2と対象なメモリセルが配置され、また、図中のC－Cに対してメモリセルMC 2 1およびMC 2 2と対象なメモリセルが配置される。

ここで、メモリセルMC 1 1、MC 1 2の上部電極2 4は、接続されている。また、メモリセルMC 2 1、MC 2 2の上部電極2 4も、接続されている。また、一のデータ線対(D L、／D L)に接続されたメモリセル(MC 1 1、MC 1 2)の上部電極2 4と、他のデータ線対(D L、／D L)に接続されたメモリセル(MC 2 1、MC 2 2)の上部電極2 4とは、独立している(接続されていない)。

このように、データ線対(D L、／D L)毎に、上部電極2 4を分割すれば、同一のデータ線対(D L、／D L)に接続されたメモリセル列毎の冗長救済を、容易に行うことができる。

なお、実施の形態2～4の場合についても、同様に、データ線対(D L、／D L)毎に、上部電極2 4を分割すれば、同一のデータ線対(D L、／D L)に接続されたメモリセル列毎の冗長救済を、容易に行うことができる。

また、同一のワード線対(W L)に接続されたメモリセル行毎に、冗長救済を行う場合には、ワード線(W L)毎に、上部電極2 4を分割すればよい。また、メモリセル毎(1ビット毎)に、冗長救済を行う場合には、メモリセル毎に、上部電極2 4を分割すればよい。

(実施の形態7)

本実施の形態1(実施の形態2～4についても同様)においては、上部電極2 4に、電源電位(V c c)を供給し、図1中の蓄積ノードAもしくはBと電源電位(V c c)との間に容量Cを形成したが、図1中の蓄積ノードAB間に容量を形成することもできる。

本実施の形態のSRAMの製造方法を図3 6～図4 6を用いて説明する。なお、図2～図1 0を用いて説明した酸化シリコン膜2 1の表面のエッチング工程までは、実施の形態1の場合と同様であるためその説明を省略する。

まず、実施の形態1で説明した図1 0に示す半導体基板1を準備し、図3 6、

図37および図38に示すように、酸化シリコン膜21、プラグP1および配線MD1、MD2上に窒化シリコン膜23を形成する。この窒化シリコン膜23は、下部電極となる配線MD1、MD2と後述する上部電極24との間に形成され、容量絶縁膜となる。図38は、本実施の形態のSRAMの製造方法を示す基板の
5 要部平面図である。また、図36および図37は、それぞれ図38中のA-A断面、D-D断面と対応する。

次に、配線MD1上の窒化シリコン膜23を除去し、開口部OP2を形成する。

次いで、図39、図40に示すように、開口部OP2内を含む窒化シリコン膜23上に、スパッタ法によりTiN膜を堆積し、パターニングすることによって、
10 配線MD1、MD2の上部に延在する上部電極24を形成する。この上部電極24は、開口部OP2を介して配線MD1と接続される。

以上の工程により下部電極となる配線MD2と、窒化シリコン膜23と配線MD1に接続された上部電極24とで構成される容量Cを形成することができる。この容量Cは、図1中の蓄積ノードAB間に接続される容量となる。

15 このように、本実施の形態によれば、下部電極となる配線MD2と、窒化シリコン膜23と配線MD1に接続された上部電極24とで容量Cを形成したので、SRAMのメモリセルに入射した α 線によるソフトエラーを低減することができる。また、本実施の形態のように、図1中の蓄積ノードAB間に容量を形成した場合は、図1中の蓄積ノードAもしくはBと電源電位(Vcc)との間に容量C
20 を形成した場合と比較し、臨界電荷量(C)が、大きくなる。

図47は、蓄積ノード(AもしくはB)にノイズ(電流)パルスを加えた場合に、蓄積ノードに保持されているデータが反転する臨界電荷量をシュミレーションした結果である。グラフの横軸は、パルス幅(s)を示し、縦軸は、臨界電荷量(C)を示す。図47に示すように、容量Cを形成しない場合(a)に対し、
25 蓄積ノードAB間に容量(2fF)を形成した場合(c)および蓄積ノードA(B)と電源電位(Vcc)との間に容量(2fF)を形成した場合(b)とも臨界電荷量は増加しているが、蓄積ノードA(B)と電源電位(Vcc)との間に容量を形成した場合(b)より、蓄積ノードAB間に容量を形成した場合(c)の方が、臨界電荷量は、大きい。例えば、パルス幅20nmにおいては、(b)の場合

の容量が、(a)の場合より2.4 fC大きいのに対し、(c)の場合の容量は、(a)の場合より3.5 fC大きく、約1.5倍の効果がある。

次いで、上部電極24上に、酸化シリコン膜をCVD法により堆積した後、第1層配線M1および第2層配線M2が形成されるが、これらの工程は、図13～
5 図17を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。なお、図40に示すように、上部電極24は、負荷用MISFET Qp1およびQp2のソース上まで延在していないため、負荷用MISFET Qp1およびQp2のソース上のプラグP1、P2と上部電極24は接続されない。

なお、実施の形態4の場合（下部電極22を形成しない場合）についても、同
10 様に、配線MD1上の窒化シリコン膜23を除去し、開口部OP2を形成した後、この開口部OP2内を含む窒化シリコン膜23上に、上部電極24を形成することによって、図1中の蓄積ノードAB間に容量を形成することができる。

また、下部電極22を有する実施の形態2および3の場合について、以下に説明する。

15 まず、実施の形態1で説明した図8に示す半導体基板1を準備し、図41、図42に示すように、酸化シリコン膜21、プラグP1および配線MD1、MD2上に、スパッタ法によりTiN膜を堆積し、パターニングすることによって、配線MD1、MD2上に下部電極22a、22bを形成する。この下部電極22a、22bの形成領域は、それぞれ配線MD1、MD2形成領域より大きい。この図、
20 42は、本実施の形態のSRAMの製造方法を示す基板の要部平面図である。図41は、図42中のD-D断面と対応する。

次いで、下部電極22a、22bおよび酸化シリコン膜21上に、窒化シリコン膜23を形成する。この窒化シリコン膜23は、下部電極22a、22bと後述する上部電極24との間に形成され、容量絶縁膜となる。

25 次に、図43および図44に示すように、配線MD1上の窒化シリコン膜23を除去し、開口部OP2を形成する。

次いで、図45および図46に示すように、開口部OP2内を含む窒化シリコン膜23上に、スパッタ法によりTiN膜を堆積し、パターニングすることによって、配線MD1、MD2の上部に延在する上部電極24を形成する。この上部

電極 2 4 は、開口部 O P 2 を介して配線 M D 1 上の下部電極 2 2 a と接続される。

以上の工程により下部電極 2 2 b と、窒化シリコン膜 2 3 と配線 M D 1 に接続された上部電極 2 4 とで構成される容量 C を形成することができる。この容量 C は、図 1 中の蓄積ノード A B 間に接続される容量となる。

- 5 また、実施の形態 3 の場合についても同様に、配線 M D 1、M D 2 上の下部電極 2 2 a、2 2 b のうち下部電極 2 2 a 上の窒化シリコン膜 2 3 を除去し、開口部 O P 2 を形成した後、この開口部 O P 2 内を含む窒化シリコン膜 2 3 上に、上部電極 2 4 を形成することによって、図 1 中の蓄積ノード A B 間に容量を形成することができる。また、実施の形態 4 の下部電極 2 2 を形成する場合についても
- 10 同様である。

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

- 以下に、本願において開示される発明のうち、代表的なものによって得られる
- 15 効果を簡単に説明する。

- (1) それぞれのゲート電極とドレインとが交差接続された一対の n チャンネル型 M I S F E T (Q d 1、Q d 2) を有する S R A M メモリセルの、交差接続配線 (M D 1、M D 2) 上に容量絶縁膜 (窒化シリコン膜 2 3) と、上部電極 2 4 とを形成したので、この配線、容量絶縁膜および上部電極とで容量を形成することが
- 20 できる。その結果、 α 線によるソフトエラーを低減することができる。

また、前記配線表面を層間絶縁膜 (窒化シリコン膜 1 7、P S G 膜 2 0 および酸化シリコン膜 2 1) の表面より突出した形状としたので、この突出部の側壁にも容量を形成することができるため、容量の増加を図ることができる。

- (2) それぞれのゲート電極とドレインとが交差接続された一対の n チャンネル
- 25 型 M I S F E T を有する S R A M メモリセルの、交差接続配線 (M D 1、M D 2) 上に下部電極 2 2、と、容量絶縁膜 (窒化シリコン膜 2 3) と、上部電極 2 4 とを形成したので、この配線上に、下部電極、容量絶縁膜および上部電極からなる容量を形成することができる。その結果、 α 線によるソフトエラーを低減することができる。また、前記下部電極の形成領域を、配線の形成領域より大きくすれ

ば、容量を増加させることができる。

- (3) それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを有するSRAMメモリセルの、交差接続配線(MD1、MD2)表面を層間絶縁膜の表面より突出した形状とし、この配線上に、下部電極、容量
- 5 絶縁膜および上部電極からなる容量を形成したので、 α 線によるソフトエラーを低減することができ、また、容量を増加させることができる。

- (4) それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを有するSRAMメモリセルの、交差接続配線(MD1、MD2)表面に凹部aを形成したので、この凹部上にも容量を形成することができるため、
- 10 容量の増加を図ることができる。

- (5) α 線によるソフトエラーを低減した、高性能のSRAMメモリセルを製造することができる。

産業上の利用可能性

- 15 以上のように、本発明は、パソコンやワークステーション用のキャッシュメモリをはじめ、携帯電話等の移動体通信機器、メモリカードおよびICカードなどに搭載する半導体集積回路装置に適用して特に有効な技術である。

請 求 の 範 囲

1. それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型M I S F E Tを構成要素とするメモリセルを有する半導体集積回路装置であって、
 - 5 前記nチャネル型M I S F E T上に形成された層間絶縁膜と、
前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する導電層と、
前記導電層の上部および突出部の側壁に沿って形成された容量絶縁膜と、
10 前記容量絶縁膜上に形成された上部電極と、
を有することを特徴とする半導体集積回路装置。
2. 前記メモリセルは、前記一対のnチャネル型M I S F E Tの他、一対の転送用nチャネル型M I S F E Tおよび一対のpチャネル型負荷用M I S F E Tを構成要素とすることを特徴とする請求の範囲第1記載の半導体集積回路装置。
- 15 3. 前記上部電極には、電源電圧が供給されることを特徴とする請求の範囲第1記載の半導体集積回路装置。
4. 一対の駆動用M I S F E Tおよび一対の負荷用M I S F E Tからなる一対のインバータと、一対の転送用M I S F E Tとを有し、前記一対の駆動用M I S F E Tのそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する
20 半導体集積回路装置であって、
前記nチャネル型M I S F E T上に形成された層間絶縁膜と、
前記ゲート電極とドレインとを接続する第1の導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する第1の導電層と、
25 前記導電層の上部および突出部の側壁に沿って形成された容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極と、
前記pチャネル型M I S F E Tのソースと電氣的に接続される第2の導電層であって、前記上部電極とその側壁で接続する第2の導電層と、
を有することを特徴とする半導体集積回路装置。

5. 一对の駆動用MISFETおよび一对の負荷用MISFETからなる一对のインバータと、一对の転送用MISFETとを有し、前記一对の駆動用MISFETのそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する半導体集積回路装置であって、

- 5 前記nチャネル型MISFET上に形成された層間絶縁膜と、
前記ゲート電極とドレインとを接続する第1の導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する第1の導電層と、

前記pチャネル型MISFETのソース上に形成された第2の導電層と、

- 10 前記第1の導電層の上部および突出部の側壁に沿って形成された容量絶縁膜であって、前記第2の導電層上に開口部を有する容量絶縁膜と、

前記容量絶縁膜および開口部上に形成された上部電極と、

前記上部電極上に形成され前記第2の導電層と電氣的に接続される第3の導電層と、

- 15 を有することを特徴とする半導体集積回路装置。

6. それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、

前記一对のnチャネル型MISFET上に形成された層間絶縁膜と、

- 20 前記一对のnチャネル型MISFETのそれぞれのゲート電極とドレインとを交差接続する一对の導電層であって、それぞれの導電層は、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する一对の導電層と、

前記一对の導電層の上部および突出部の側壁に沿って形成された容量絶縁膜であって、一对の導電層のうち一方の導電層上に開口部を有する層間絶縁膜と、

- 25 前記容量絶縁膜および開口部上に形成された上部電極と、
を有することを特徴とする半導体集積回路装置。

7. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のnチャネル型MISFETを介し接続される配線が、延在する第1の方向とこれに直交する第2の方向とに複数配置したメモリセルアレイを有し、

前記上部電極は、前記第 1 の方向に沿って繋がっているが、前記第 2 の方向に配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第 1 記載の半導体集積回路装置。

8. それぞれのゲート電極とドレインとが交差接続された一对の n チャンネル型 M I S F E T を構成要素とするメモリセルを有する半導体集積回路装置であって、
- 5 前記 n チャンネル型 M I S F E T 上に形成された層間絶縁膜と、
前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成された導電層と、
前記導電層の上部に形成された下部電極と、
- 10 前記下部電極の上部に形成された容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極と、
を有することを特徴とする半導体集積回路装置。

9. 前記下部電極の形成領域は、前記導電層の形成領域より大きいことを特徴とする請求の範囲第 8 記載の半導体集積回路装置。

- 15 10. 前記メモリセルは、前記一对の n チャンネル型 M I S F E T の他、一对の転送用 n チャンネル型 M I S F E T および一对の p チャンネル型負荷用 M I S F E T を構成要素とすることを特徴とする請求の範囲第 8 記載の半導体集積回路装置。

11. 前記上部電極には、電源電圧が供給されることを特徴とする請求の範囲第 8 記載の半導体集積回路装置。

- 20 12. 一对の駆動用 M I S F E T および一对の負荷用 M I S F E T からなる一对のインバータと、一对の転送用 M I S F E T とを有し、前記一对の駆動用 M I S F E T のそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する半導体集積回路装置であって、

- 前記 n チャンネル型 M I S F E T 上に形成された層間絶縁膜と、
- 25 前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成された第 1 の導電層と、
前記第 1 の導電層の上部に形成された下部電極と、
前記下部電極の上部に形成された容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極と、

前記pチャネル型MISFETのソースと電氣的に接続される第2の導電層であって、前記上部電極とその側壁で接続する第2の導電層と、
を有することを特徴とする半導体集積回路装置。

13. 一対の駆動用MISFETおよび一対の負荷用MISFETからなる一対のインバータと、一対の転送用MISFETとを有し、前記一対の駆動用MISFETのそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する半導体集積回路装置であって、

- 前記nチャネル型MISFET上に形成された層間絶縁膜と、
前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極から
10 ドレインまで延在する接続孔内に形成された第1の導電層と、
前記pチャネル型MISFETのソース上に形成された第2の導電層と、
前記第1の導電層の上部に形成された下部電極と、
前記下部電極の上部に形成された容量絶縁膜であって、前記第2の導電層上に
開口部を有する容量絶縁膜と、
15 前記容量絶縁膜および開口部上に形成された上部電極と、
前記上部電極上に形成され前記第2の導電層と電氣的に接続される第3の導電層と、
を有することを特徴とする半導体集積回路装置。

14. それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型
20 MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、
前記一対のnチャネル型MISFET上に形成された層間絶縁膜と、
前記一対のnチャネル型MISFETのそれぞれのゲート電極とドレインとを
交差接続する一対の導電層であって、それぞれの導電層は、前記ゲート電極から
ドレインまで延在する接続孔内に形成された一対の導電層と、
25 前記一対の導電層のそれぞれの導電層上に形成された一対の下部電極と、
前記一対の下部電極の上部に形成された容量絶縁膜であって、前記一対の下部
電極上に開口部を有する層間絶縁膜と、
前記容量絶縁膜および開口部上に形成された上部電極と、
を有することを特徴とする半導体集積回路装置。

15. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のnチャネル型MISFETを介し接続される配線が、延在する第1の方向とこれに直交する第2の方向とに複数配置したメモリセルアレイを有し、

5 前記上部電極は、前記第1の方向に沿って繋がっているが、前記第2の方向に配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第8記載の半導体集積回路装置。

16. それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、

10 前記nチャネル型MISFET上に形成された層間絶縁膜と、前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する導電層と、

前記導電層の上部および突出部の側壁に沿って形成された下部電極と、
前記下部電極の上部に形成された容量絶縁膜と、
15 前記容量絶縁膜上に形成された上部電極と、
を有することを特徴とする半導体集積回路装置。

17. 前記下部電極の厚さは、前記突出部の高さより小さいことを特徴とする請求の範囲第16記載の半導体集積回路装置。

18. 前記下部電極の形成領域は、前記導電層の形成領域より大きいことを特徴とする請求の範囲第16記載の半導体集積回路装置。

19. 前記メモリセルは、前記一対のnチャネル型MISFETの他、一対の転送用nチャネル型MISFETおよび一対のpチャネル型負荷用MISFETを構成要素とすることを特徴とする請求の範囲第16記載の半導体集積回路装置。

20. 前記上部電極には、電源電圧が供給されることを特徴とする請求の範囲第16記載の半導体集積回路装置。

21. 一対の駆動用MISFETおよび一対の負荷用MISFETからなる一対のインバータと、一対の転送用MISFETとを有し、前記一対の駆動用MISFETのそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する半導体集積回路装置であって、

- 前記nチャネル型M I S F E T上に形成された層間絶縁膜と、
前記ゲート電極とドレインとを接続する第1の導電層であって、前記層間絶縁膜の表面より突出した突出部を有する第1の導電層と、前記ゲート電極からドレインまで延在する接続孔内に形成された第1の導電層と、
- 5 前記第1の導電層の上部に形成された下部電極と、
前記下部電極の上部に形成された容量絶縁膜と、
前記容量絶縁膜上に形成された上部電極と、
前記pチャネル型M I S F E Tのソースと電氣的に接続される第2の導電層であって、前記上部電極とその側壁で接続する第2の導電層と、
- 10 を有することを特徴とする半導体集積回路装置。
22. 一对の駆動用M I S F E Tおよび一对の負荷用M I S F E Tからなる一对のインバータと、一对の転送用M I S F E Tとを有し、前記一对の駆動用M I S F E Tのそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する半導体集積回路装置であって、
- 15 前記nチャネル型M I S F E T上に形成された層間絶縁膜と、
前記ゲート電極とドレインとを接続する第1の導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する第1の導電層と、
前記pチャネル型M I S F E Tのソース上に形成された第2の導電層と、
- 20 前記第1の導電層の上部に形成された下部電極と、
前記下部電極の上部に形成された容量絶縁膜であって、前記第2の導電層上に開口部を有する容量絶縁膜と、
前記容量絶縁膜および開口部上に形成された上部電極と、
前記上部電極上に形成され前記第2の導電層と電氣的に接続される第3の導電層と、
- 25 を有することを特徴とする半導体集積回路装置。
23. それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型M I S F E Tを構成要素とするメモリセルを有する半導体集積回路装置であって、
前記一对のnチャネル型M I S F E T上に形成された層間絶縁膜と、

前記一对のnチャネル型MISFETのそれぞれのゲート電極とドレインとを交差接続する一对の導電層であって、それぞれの導電層は、前記ゲート電極からドレインまで延在する接続孔内に形成され、前記層間絶縁膜の表面より突出した突出部を有する一对の導電層と、

- 5 前記一对の導電層のそれぞれの導電層上に形成された一对の下部電極と、
前記一对の下部電極の上部に形成された容量絶縁膜であって、前記一对の下部電極上に開口部を有する層間絶縁膜と、

前記容量絶縁膜および開口部上に形成された上部電極と、
を有することを特徴とする半導体集積回路装置。

- 10 24. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のnチャネル型MISFETを介し接続される配線が、延在する第1の方向とこれに直交する第2の方向とに複数配置したメモリセルアレイを有し、

前記上部電極は、前記第1の方向に沿って繋がっているが、前記第2の方向に配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第16

- 15 記載の半導体集積回路装置。

25. それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置であって、

前記nチャネル型MISFET上に形成された層間絶縁膜と、

- 20 前記ゲート電極とドレインとを接続する導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、その表面に凹部を有する導電層と、

前記凹部内を含む前記導電層の上部に形成された容量絶縁膜と、

前記容量絶縁膜上に形成された上部電極と、

を有することを特徴とする半導体集積回路装置。

- 25 26. 前記容量絶縁膜の厚さは、前記凹部の深さより小さいことを特徴とする請求の範囲第25記載の半導体集積回路装置。

27. 前記メモリセルは、前記一对のnチャネル型MISFETの他、一对の転送用nチャネル型MISFETおよび一对のpチャネル型負荷用MISFETを構成要素とすることを特徴とする請求の範囲第25記載の半導体集積回路装置。

28. 前記上部電極には、電源電圧が供給されることを特徴とする請求の範囲第

25 記載の半導体集積回路装置。

29. 一对の駆動用MISFETおよび一对の負荷用MISFETからなる一对のインバータと、一对の転送用MISFETとを有し、前記一对の駆動用MISFETのそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する半導体集積回路装置であって、

前記nチャネル型MISFET上に形成された層間絶縁膜と、

前記ゲート電極とドレインとを接続する第1の導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、その表面に凹部を有する第1の導電層と、

- 10 前記凹部内を含む前記導電層の上部に形成された容量絶縁膜と、

前記容量絶縁膜上に形成された上部電極と、

前記pチャネル型MISFETのソースと電氣的に接続される第2の導電層であって、前記上部電極とその側壁で接続する第2の導電層と、を有することを特徴とする半導体集積回路装置。

- 15 30. 一对の駆動用MISFETおよび一对の負荷用MISFETからなる一对のインバータと、一对の転送用MISFETとを有し、前記一对の駆動用MISFETのそれぞれのゲート電極とドレインとが交差接続されたメモリセルを有する半導体集積回路装置であって、

前記nチャネル型MISFET上に形成された層間絶縁膜と、

- 20 前記ゲート電極とドレインとを接続する第1の導電層であって、前記ゲート電極からドレインまで延在する接続孔内に形成され、その表面に凹部を有する第1の導電層と、

前記凹部内を含む前記第1の導電層の上部に形成された容量絶縁膜であって、前記第2の導電層上に開口部を有する容量絶縁膜と、

- 25 前記容量絶縁膜および開口部上に形成された上部電極と、

前記上部電極上に形成され前記第2の導電層と電氣的に接続される第3の導電層と、

を有することを特徴とする半導体集積回路装置。

31. それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型

- M I S F E Tを構成要素とするメモリセルを有する半導体集積回路装置であって、
前記一对のnチャネル型M I S F E T上に形成された層間絶縁膜と、
前記一对のnチャネル型M I S F E Tのそれぞれのゲート電極とドレインとを
交差接続する一对の導電層であって、それぞれの導電層は、前記ゲート電極から
5 ドレインまで延在する接続孔内に形成され、その表面に凹部を有する導電層と、
前記凹部内を含む前記導電層の上部に形成された容量絶縁膜であって、前記一
対の下部電極上に開口部を有する層間絶縁膜と、
前記容量絶縁膜および開口部上に形成された上部電極と、
を有することを特徴とする半導体集積回路装置。
- 10 32. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のn
チャネル型M I S F E Tを介し接続される配線が、延在する第1の方向とこれに
直交する第2の方向とに複数配置したメモリセルアレイを有し、
前記上部電極は、前記第1の方向に沿って繋がっているが、前記第2の方向に
配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第25
15 記載の半導体集積回路装置。
33. それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型
M I S F E Tを構成要素とするメモリセルを有する半導体集積回路装置の製造方
法であって、
前記nチャネル型M I S F E Tを形成する工程と、
20 前記nチャネル型M I S F E T上に層間絶縁膜を形成する工程と、
前記nチャネル型M I S F E Tのゲート電極上からドレインまで延在する接続
孔を形成する工程と、
前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、
前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記
25 接続孔内に埋め込まれた導電層を形成する工程と、
露出した前記層間絶縁膜の表面をさらにエッチングすることによって、前記導
電層の側壁の上部を露出させる工程と
前記導電層の上部および露出した側壁に沿って容量絶縁膜を形成する工程と、
前記容量絶縁膜上に上部電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

34. 前記メモリセルは、前記一对のnチャネル型MISFETの他、一对の転送用nチャネル型MISFETおよび一对のpチャネル型負荷用MISFETを構成要素とし、

- 5 前記導電層は、前記一对のpチャネル型負荷用MISFETのうちのいずれかのpチャネル型負荷用MISFETのドレイン上まで延在していることを特徴とする請求の範囲第33記載の半導体集積回路装置の製造方法。

35. 前記半導体集積回路の製造方法は、さらに、

前記上部電極上に他の層間絶縁膜を形成する工程と、

- 10 前記他の層間絶縁膜と上部電極を選択的に除去することによって他の接続孔を形成する工程と、

前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

- 15 有することを特徴とする請求の範囲第33記載の半導体集積回路装置の製造方法。

36. 前記半導体集積回路の製造方法は、

前記容量絶縁膜形成後、上部電極形成前に、前記容量絶縁を選択的に除去することによって開口部を形成する工程と、

前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、

- 20 前記上部電極上に他の層間絶縁膜を形成する工程と、
前記他の層間絶縁膜を選択的に除去することによって他の接続孔を形成する工程と、

前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

- 25 有することを特徴とする請求の範囲第33記載の半導体集積回路装置の製造方法。

37. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のnチャネル型MISFETを介し接続される配線が、延在する第1の方向とこれに直交する第2の方向とに複数配置したメモリセルアレイを有し、

前記上部電極は、前記第 1 の方向に沿って繋がっているが、前記第 2 の方向に配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第 3 3 記載の半導体集積回路装置の製造方法。

- 3 8 . それぞれのゲート電極とドレインとが交差接続された一对の n チャンネル型 M I S F E T を構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、

前記一对の n チャンネル型 M I S F E T 上に層間絶縁膜を形成する工程と、

- 前記一对の n チャンネル型 M I S F E T のうち一方の n チャンネル型 M I S F E T のゲート電極上から他方の n チャンネル型 M I S F E T のドレインまで延在する第 1 の接続孔と、他方の n チャンネル型 M I S F E T のゲート電極上から一方の n チャンネル型 M I S F E T のドレインまで延在する第 2 の接続孔とを形成する工程と、

前記第 1 および第 2 の接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、

- 前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記第 1 および第 2 の接続孔内に埋め込まれた第 1 および第 2 の導電層を形成する工程と、

露出した前記層間絶縁膜の表面をさらにエッチングすることによって、前記第 1 および第 2 の導電層の側壁の上部を露出させる工程と、

- 前記第 1 および第 2 の導電層のそれぞれの上部および露出した側壁に沿って容量絶縁膜を形成する工程と、

前記第 1 の導電層上の容量絶縁膜を選択的に除去することによって開口部を形成する工程と、

前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

- 3 9 . それぞれのゲート電極とドレインとが交差接続された一对の n チャンネル型 M I S F E T を構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、

前記 n チャンネル型 M I S F E T を形成する工程と、

前記 n チャンネル型 M I S F E T 上に層間絶縁膜を形成する工程と、

前記一対のnチャネル型MISFETのうち一方のゲート電極上か他方のドレインまで延在する接続孔を形成する工程と、

前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、

前記導電層の上部に下部電極を形成する工程と、

5 前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜上に上部電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

40. 前記下部電極の形成領域は、前記導電層の形成領域より大きいことを特徴とする請求の範囲第39記載の半導体集積回路装置の製造方法。

10 41. 前記メモリセルは、前記一対のnチャネル型MISFETの他、一対の転送用nチャネル型MISFETおよび一対のpチャネル型負荷用MISFETを構成要素とし、

前記導電層は、前記一対のpチャネル型負荷用MISFETのうちのいずれかのpチャネル型負荷用MISFETのドレイン上まで延在していることを特徴とする請求の範囲第39記載の半導体集積回路装置の製造方法。

15

42. 前記半導体集積回路の製造方法は、さらに、

前記上部電極上に他の層間絶縁膜を形成する工程と、

前記他の層間絶縁膜と上部電極を選択的に除去することによって他の接続孔を形成する工程と、

20 前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

を有することを特徴とする請求の範囲第39記載の半導体集積回路装置の製造方法。

43. 前記半導体集積回路の製造方法は、

25 前記容量絶縁膜形成後、上部電極形成前に、前記容量絶縁を選択的に除去することによって開口部を形成する工程と、

前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、

前記上部電極上に他の層間絶縁膜を形成する工程と、

前記他の層間絶縁膜を選択的に除去することによって他の接続孔を形成する工

程と、

前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

5 有することを特徴とする請求の範囲第39記載の半導体集積回路装置の製造方法。

44. それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、

前記一对のnチャネル型MISFET上に層間絶縁膜を形成する工程と、

10 前記一对のnチャネル型MISFETのうち一方のnチャネル型MISFETのゲート電極上から他方のnチャネル型MISFETのドレインまで延在する第1の接続孔と、他方のnチャネル型MISFETのゲート電極上から一方のnチャネル型MISFETのドレインまで延在する第2の接続孔とを形成する工程と、

15 前記第1および第2の接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、

前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記第1および第2の接続孔内に埋め込まれた第1および第2の導電層を形成する工程と、

20 前記第1および第2の導電層上に、それぞれ第1および第2の下部電極を形成する工程と、

前記第1および第2の下部電極上に、容量絶縁膜を形成する工程と、

前記第1の下部電極上の容量絶縁膜を選択的に除去することによって開口部を形成する工程と、

25 前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、有することを特徴とする半導体集積回路装置の製造方法。

45. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のnチャネル型MISFETを介し接続される配線が、延在する第1の方向とこれに直交する第2の方向とに複数配置したメモリセルアレイを有し、

前記上部電極は、前記第1の方向に沿って繋がっているが、前記第2の方向に

配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第 3 記載の半導体集積回路装置の製造方法。

- 4 6. それぞれのゲート電極とドレインとが交差接続された一対の n チャンネル型 M I S F E T を構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、

前記 n チャンネル型 M I S F E T を形成する工程と、

前記 n チャンネル型 M I S F E T 上に層間絶縁膜を形成する工程と、

前記一対の n チャンネル型 M I S F E T のうち一方のゲート電極上か他方のドレインまで延在する接続孔を形成する工程と、

- 10 前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、

前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記接続孔内に埋め込まれた導電層を形成する工程と、

露出した前記層間絶縁膜の表面をさらにエッチングすることによって、前記導電層の側壁の上部を露出させる工程と

- 15 前記導電層の上部および露出した側壁に沿って下部電極を形成する工程と、

前記下部電極上に容量絶縁膜を形成する工程と、

前記容量絶縁膜上に上部電極を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

- 4 7. 前記下部電極の厚さは、前記露出した導電層の側壁の高さより小さいことを特徴とする請求の範囲第 4 6 記載の半導体集積回路装置の製造方法。

- 4 8. 前記メモリセルは、前記一対の n チャンネル型 M I S F E T の他、一対の転送用 n チャンネル型 M I S F E T および一対の p チャンネル型負荷用 M I S F E T を構成要素とし、

- 25 前記導電層は、前記一対の p チャンネル型負荷用 M I S F E T のうちのいずれかの p チャンネル型負荷用 M I S F E T のドレイン上まで延在していることを特徴とする請求の範囲第 4 6 記載の半導体集積回路装置の製造方法。

- 4 9. 前記半導体集積回路の製造方法は、さらに、

前記上部電極上に他の層間絶縁膜を形成する工程と、

前記他の層間絶縁膜と上部電極を選択的に除去することによって他の接続孔を

形成する工程と、

前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

5 有することを特徴とする請求の範囲第4-6記載の半導体集積回路装置の製造方法。

50. 前記半導体集積回路の製造方法は、

前記容量絶縁膜形成後、上部電極形成前に、前記容量絶縁を選択的に除去することによって開口部を形成する工程と、

前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、

10 前記上部電極上に他の層間絶縁膜を形成する工程と、

前記他の層間絶縁膜を選択的に除去することによって他の接続孔を形成する工程と、

前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

15 有することを特徴とする請求の範囲第4-6記載の半導体集積回路装置の製造方法。

51. それぞれのゲート電極とドレインとが交差接続された一対のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、

20 前記一対のnチャネル型MISFET上に層間絶縁膜を形成する工程と、

前記一対のnチャネル型MISFETのうち一方のnチャネル型MISFETのゲート電極上から他方のnチャネル型MISFETのドレインまで延在する第1の接続孔と、他方のnチャネル型MISFETのゲート電極上から一方のnチャネル型MISFETのドレインまで延在する第2の接続孔とを形成する工程と、

25 前記第1および第2の接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程と、

前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記第1および第2の接続孔内に埋め込まれた第1および第2の導電層を形成する工程と、

露出した前記層間絶縁膜の表面をさらにエッチングすることによって、前記第1および第2の導電層の側壁の上部を露出させる工程と

前記第1および第2の導電層のそれぞれの上部および露出した側壁に沿って第1および第2の下部電極を形成する工程と、

- 5 前記第1および第2の下部電極上に容量絶縁膜を形成する工程と、

前記第1の導電層上の容量絶縁膜を選択的に除去することによって開口部を形成する工程と、

前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

- 10 52. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のnチャネル型MISFETを介し接続される配線が、延在する第1の方向とこれに直交する第2の方向とに複数配置したメモリセルアレイを有し、

前記上部電極は、前記第1の方向に沿って繋がっているが、前記第2の方向に配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第46

- 15 記載の半導体集積回路装置の製造方法。

53. それぞれのゲート電極とドレインとが交差接続された一对のnチャネル型MISFETを構成要素とするメモリセルを有する半導体集積回路装置の製造方法であって、

前記nチャネル型MISFETを形成する工程と、

- 20 前記nチャネル型MISFET上に層間絶縁膜を形成する工程と、

前記nチャネル型MISFETのゲート電極上からドレインまで延在する接続孔を形成する工程と、

前記接続孔内を含む前記層間絶縁膜上に導電性膜を堆積する工程であって、前記接続孔の半径より小さい膜厚の導電性膜を堆積する工程と、

- 25 前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記接続孔内に埋め込まれ、その上部に凹部を有する導電層を形成する工程と、

前記導電層の上部に容量絶縁膜を形成する工程と、

前記容量絶縁膜上に上部電極を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

5 4. 前記容量絶縁膜の厚さは、前記凹部の深さより小さいことを特徴とする請求の範囲第 5 3 記載の半導体集積回路装置の製造方法。

5 5. 前記メモリセルは、前記一对の n チャネル型 M I S F E T の他、一对の転送用 n チャネル型 M I S F E T および一对の p チャネル型負荷用 M I S F E T を構成要素とし、

前記導電層は、前記一对の p チャネル型負荷用 M I S F E T のうちのいずれかの p チャネル型負荷用 M I S F E T のドレイン上まで延在していることを特徴とする請求の範囲第 5 3 記載の半導体集積回路装置の製造方法。

5 6. 前記半導体集積回路の製造方法は、さらに、

10 前記上部電極上に他の層間絶縁膜を形成する工程と、

前記他の層間絶縁膜と上部電極を選択的に除去することによって他の接続孔を形成する工程と、

前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

15 を有することを特徴とする請求の範囲第 5 3 記載の半導体集積回路装置の製造方法。

5 7. 前記半導体集積回路の製造方法は、

前記容量絶縁膜形成後、上部電極形成前に、前記容量絶縁を選択的に除去することによって開口部を形成する工程と、

20 前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、

前記上部電極上に他の層間絶縁膜を形成する工程と、

前記他の層間絶縁膜を選択的に除去することによって他の接続孔を形成する工程と、

25 前記他の接続孔内に、導電材料を埋め込むことによってプラグを形成する工程と、

を有することを特徴とする請求の範囲第 5 3 記載の半導体集積回路装置の製造方法。

5 8. それぞれのゲート電極とドレインとが交差接続された一对の n チャネル型 M I S F E T を構成要素とするメモリセルを有する半導体集積回路装置の製造方

法であって、

前記一对のnチャネル型MISFET上に層間絶縁膜を形成する工程と、

前記一对のnチャネル型MISFETのうち一方のnチャネル型MISFETのゲート電極上から他方のnチャネル型MISFETのドレインまで延在する第1の接続孔と、他方のnチャネル型MISFETのゲート電極上から一方のnチャネル型MISFETのドレインまで延在する第2の接続孔とを形成する工程と、

前記第1および第2の接続孔内を含む前記層間絶縁膜上に導電性膜であって、前記接続孔の半径より小さい膜厚の導電性膜を堆積する工程と、

前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記第1および第2の接続孔内に埋め込まれた第1および第2の導電層であって、それぞれの上部に凹部を有する第1および第2の導電層を形成する工程と、を堆積する工程と、

前記導電性膜を前記層間絶縁膜の表面が露出するまで研磨することにより前記第1および第2の接続孔内に埋め込まれた第1および第2の導電層を形成する工程と、


前記第1および第2の導電層のそれぞれの上部に、容量絶縁膜を形成する工程と、

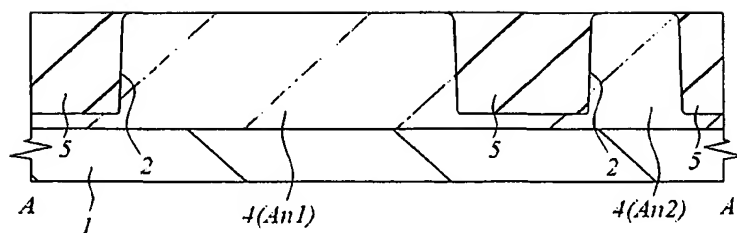
前記第1の導電層上の容量絶縁膜を選択的に除去することによって開口部を形成する工程と、

前記開口部内を含む前記容量絶縁膜上に上部電極を形成する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

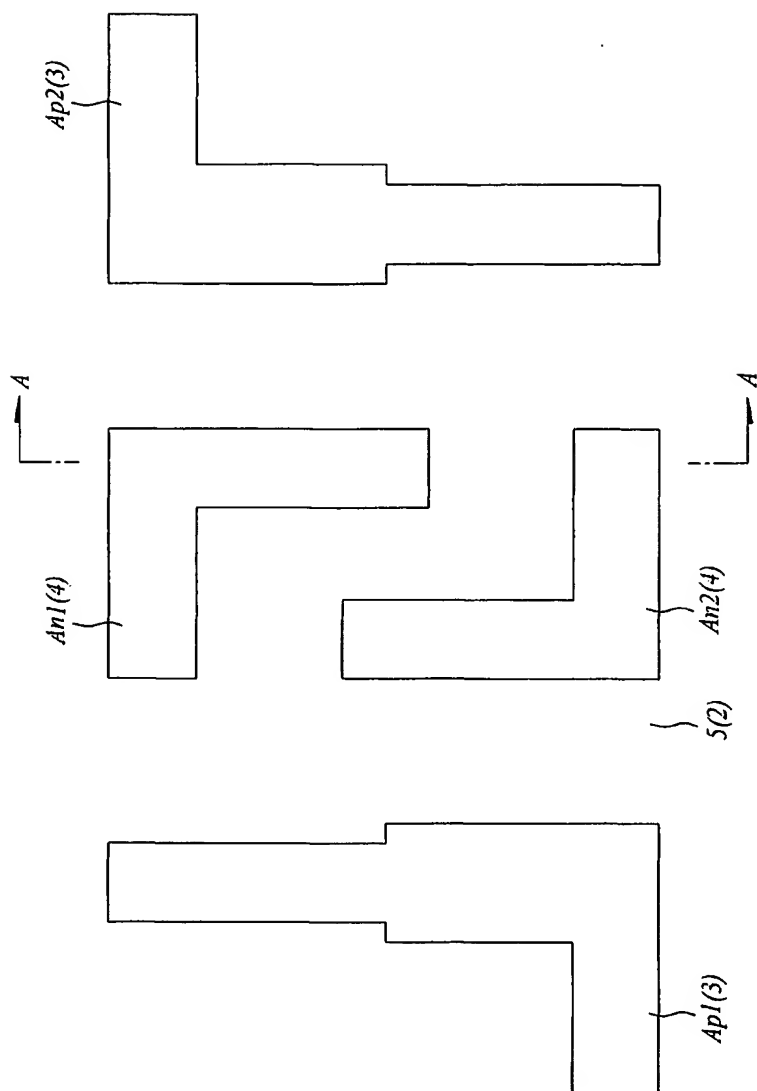
59. 前記半導体集積回路装置は、前記メモリセルを、前記交差接続部に他のnチャネル型MISFETを介し接続される配線が、延在する第1の方向とこれに直交する第2の方向とに複数配置したメモリセルアレイを有し、

前記上部電極は、前記第1の方向に沿って繋がっているが、前記第2の方向に配置されるメモリセルごとに分割されていることを特徴とする請求の範囲第53記載の半導体集積回路装置の製造方法。

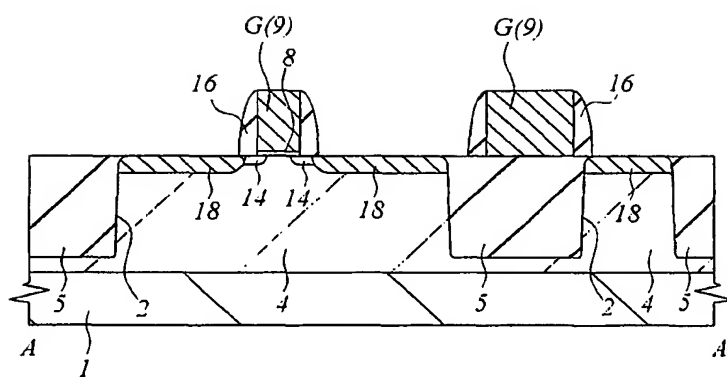
 2



3



 4



5

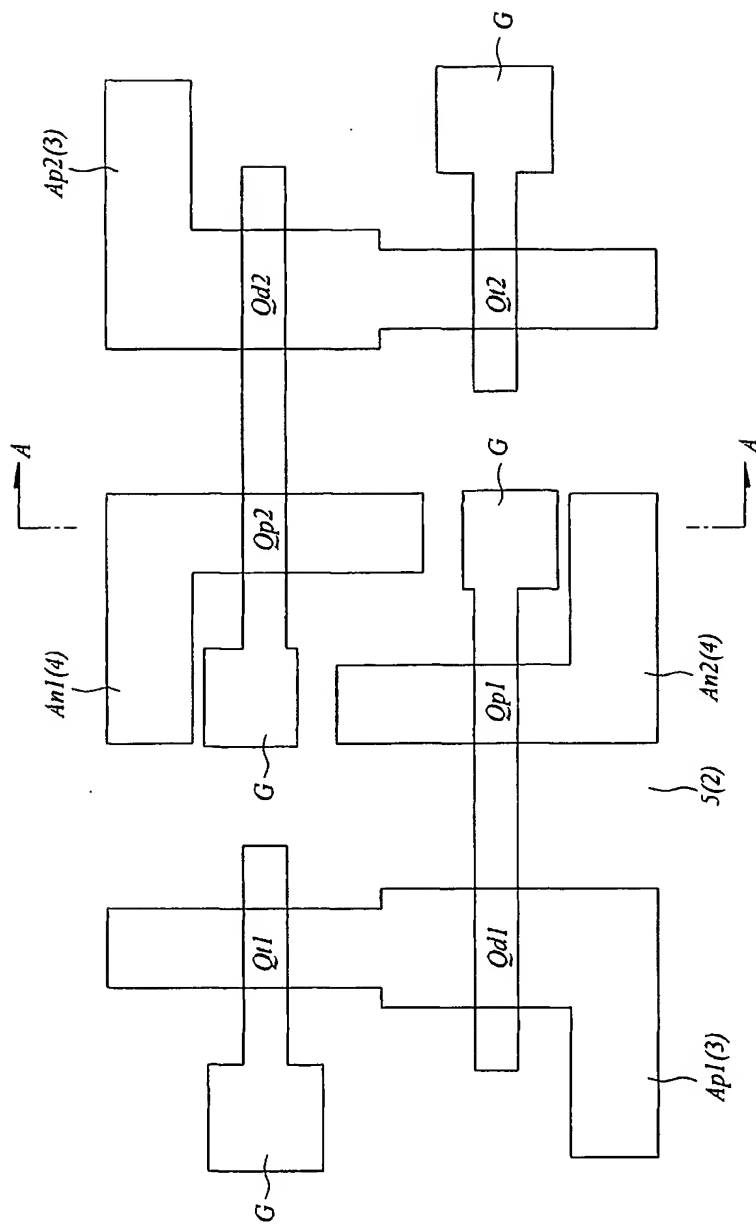


図 6

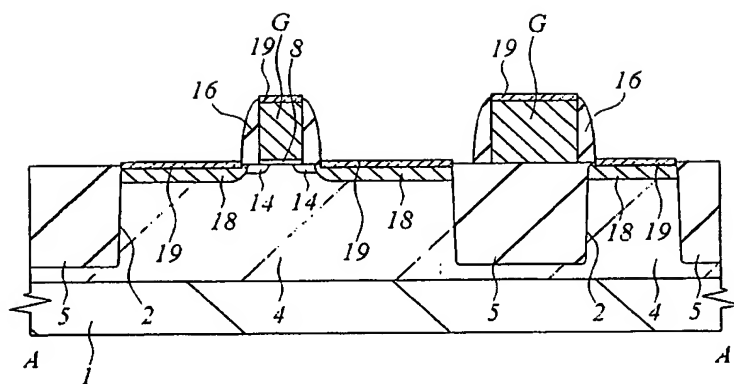
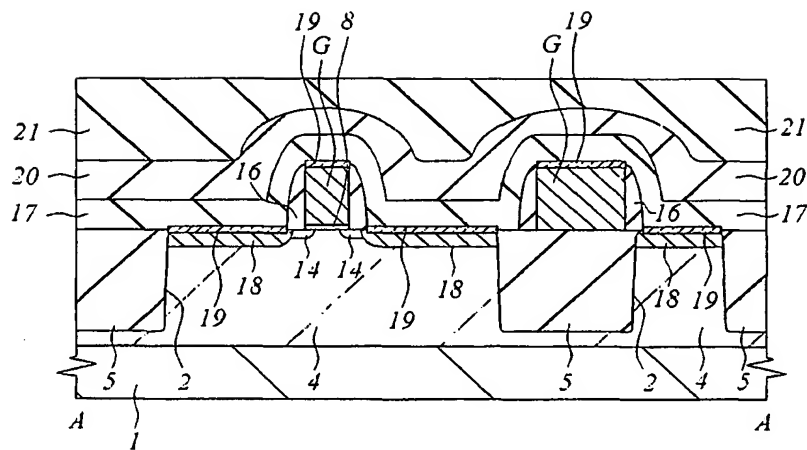
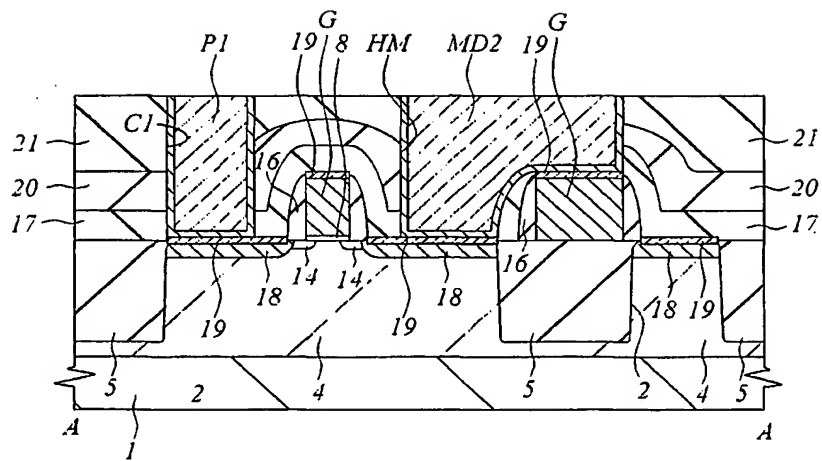


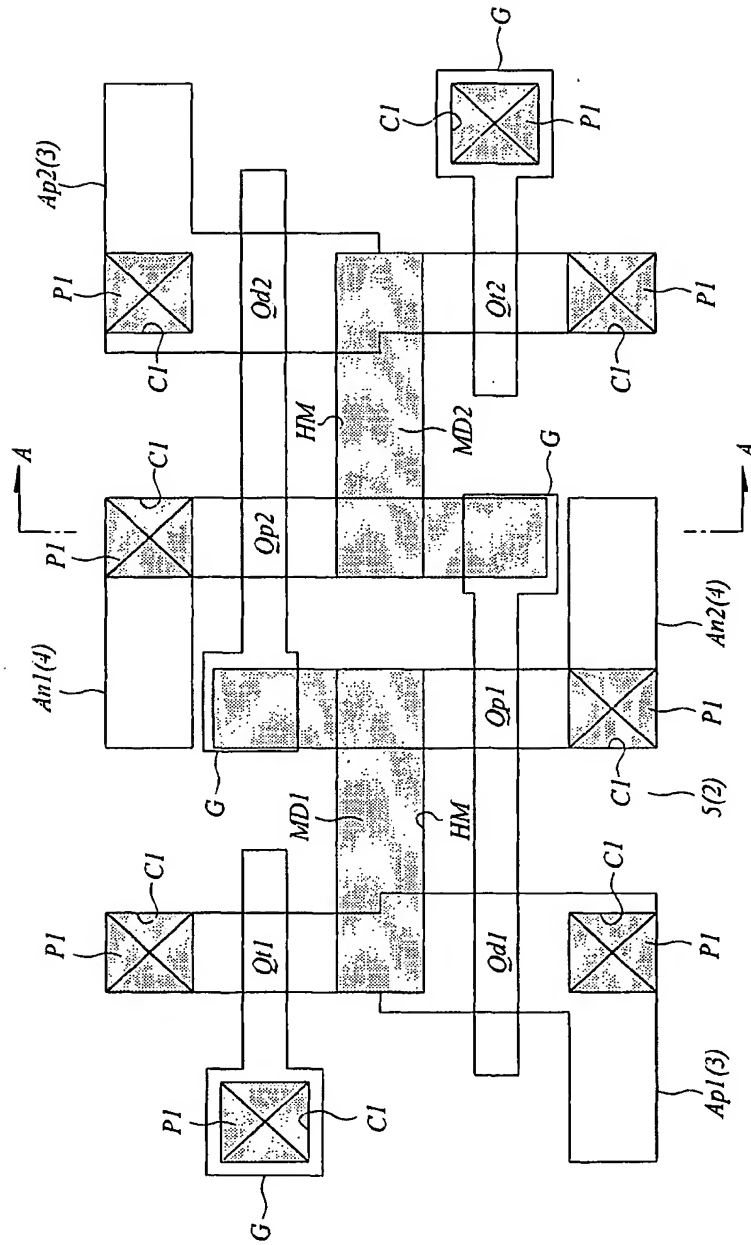
图 7




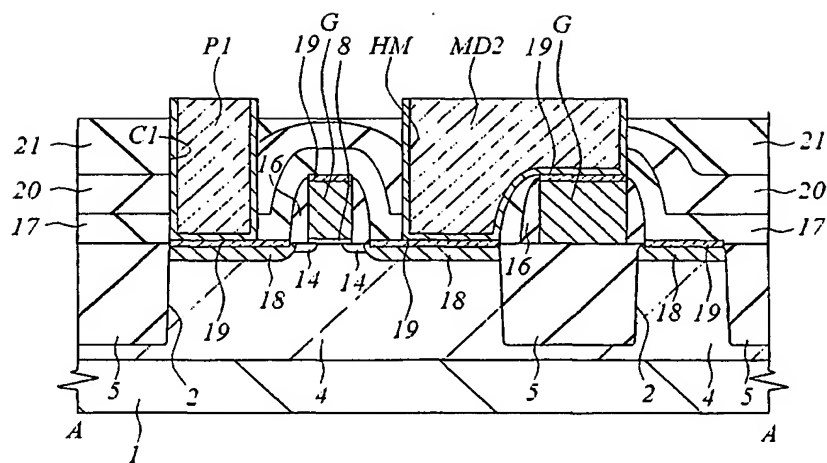
8



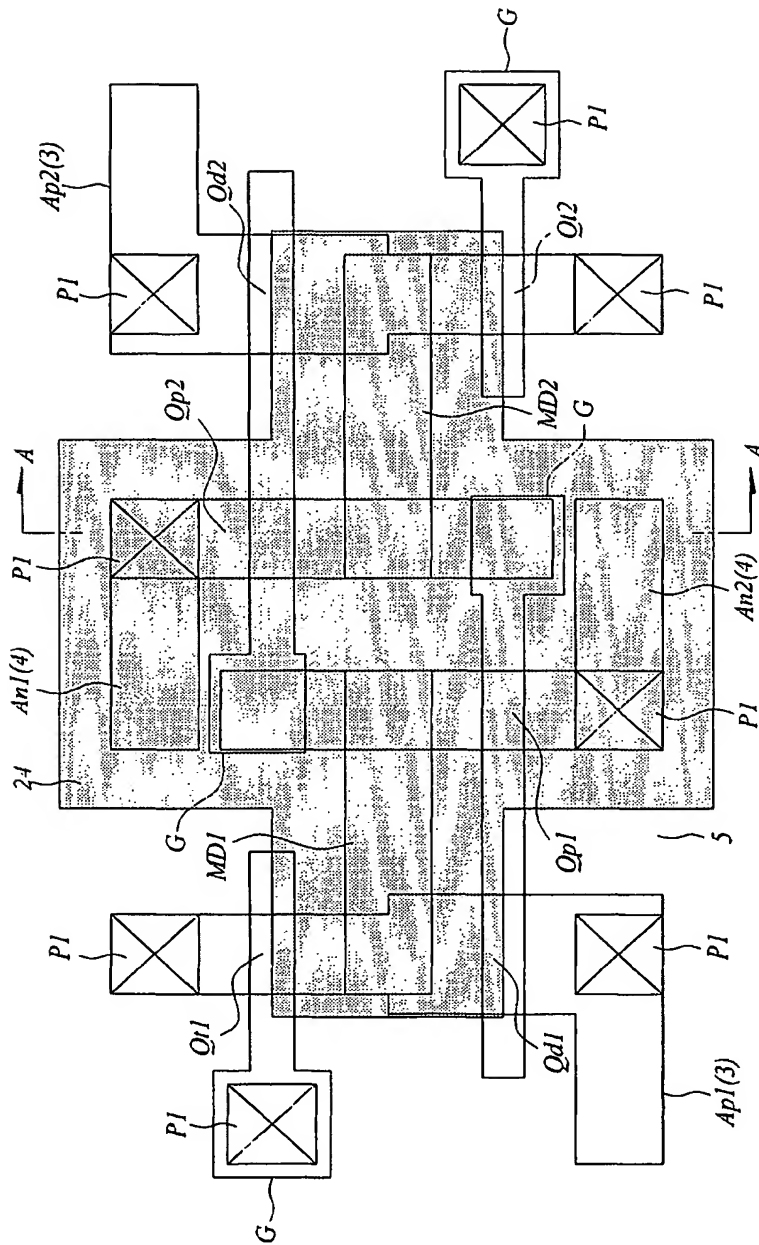
9



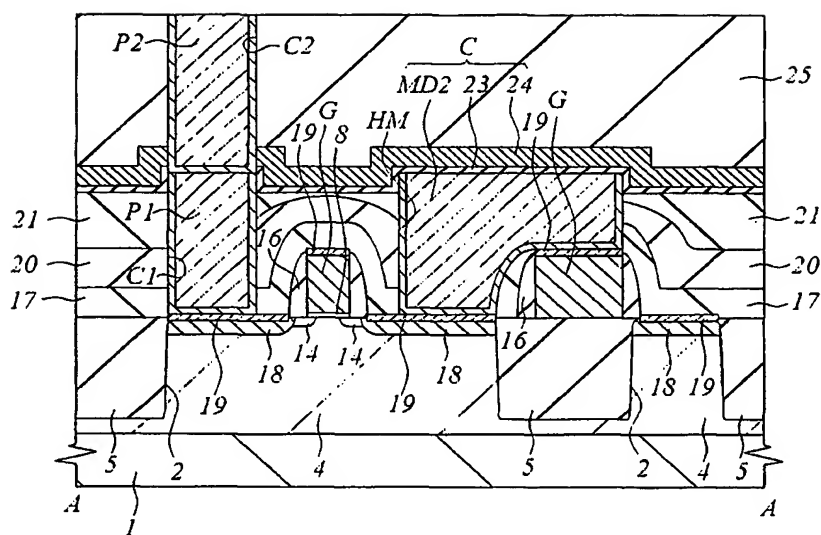
 10



12



13



14

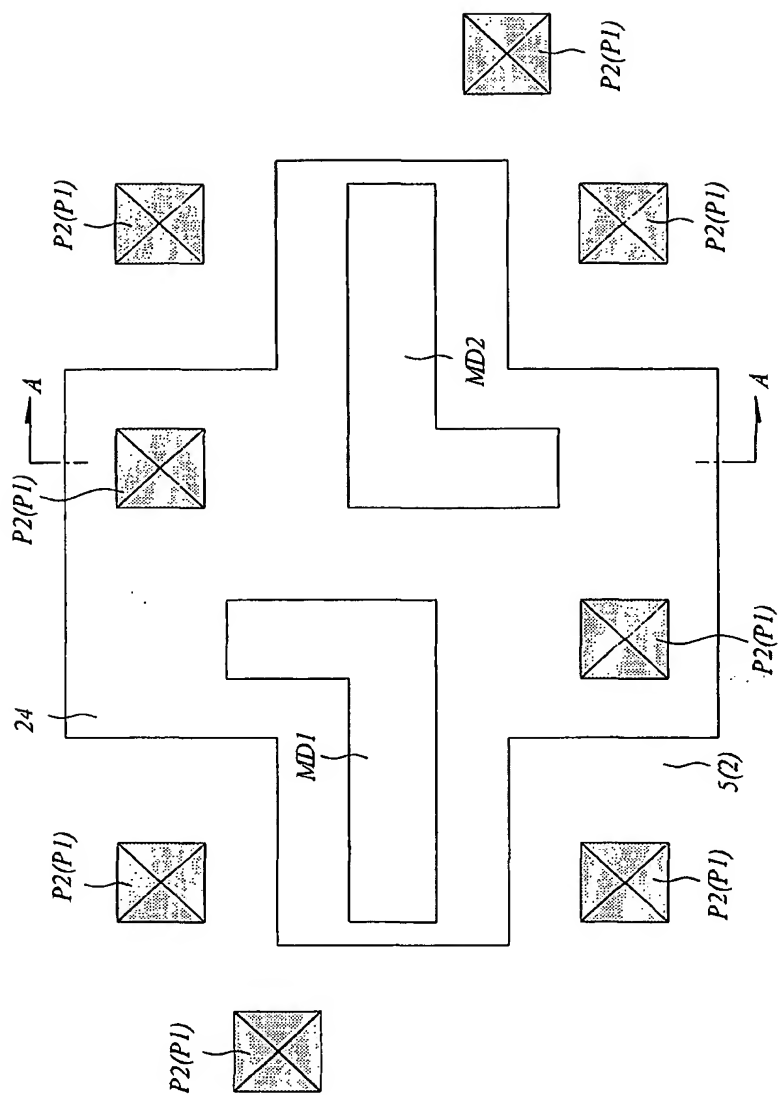
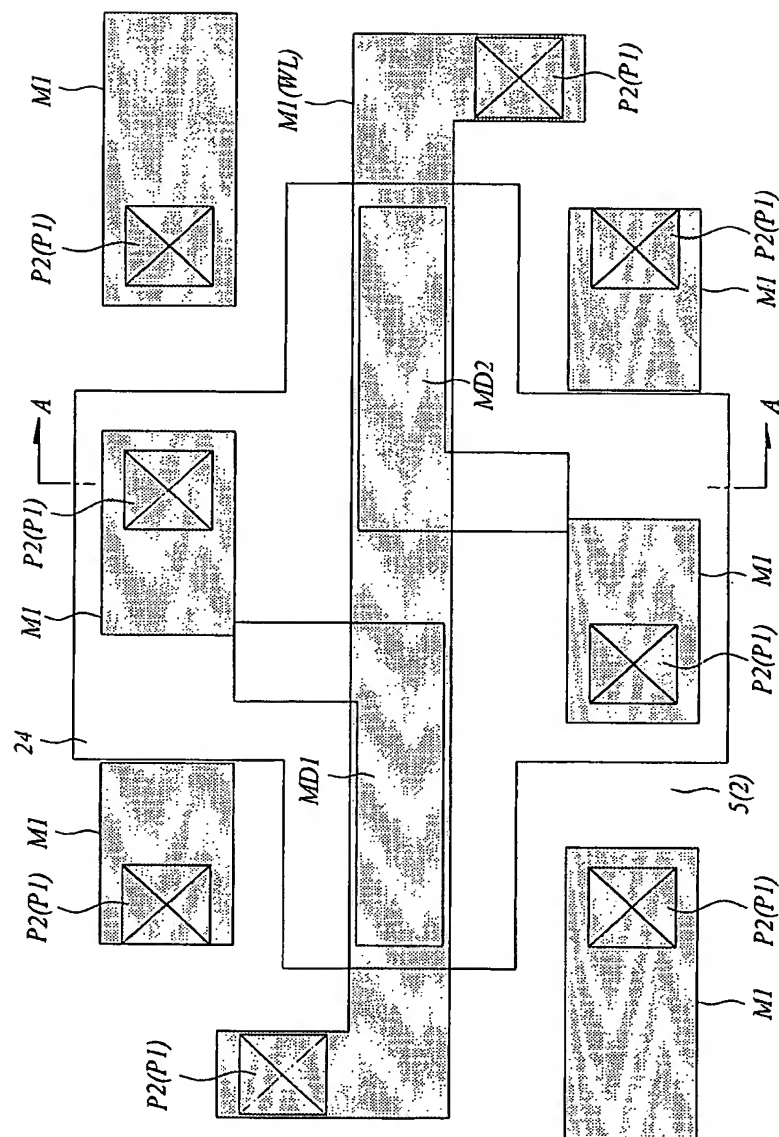


図 16



17

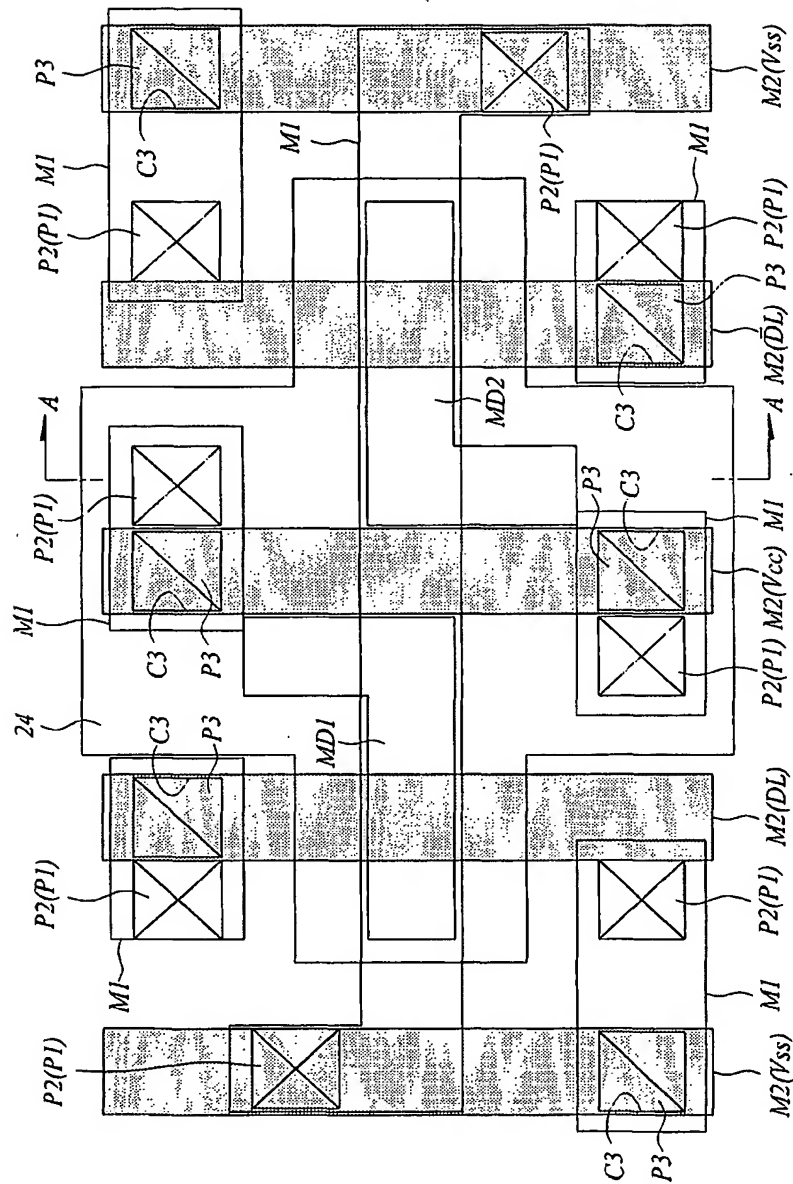
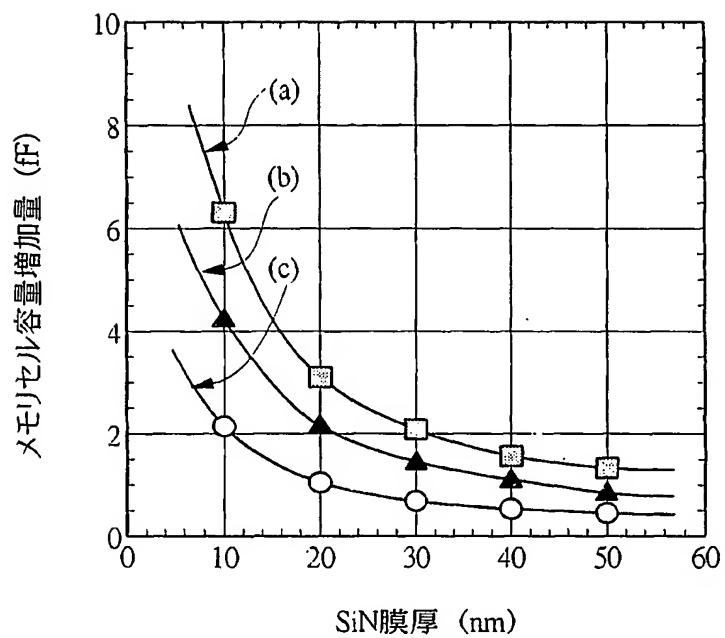
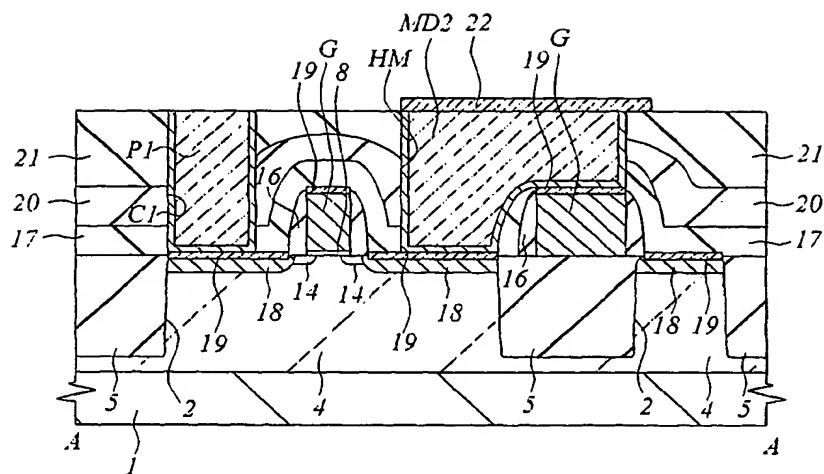
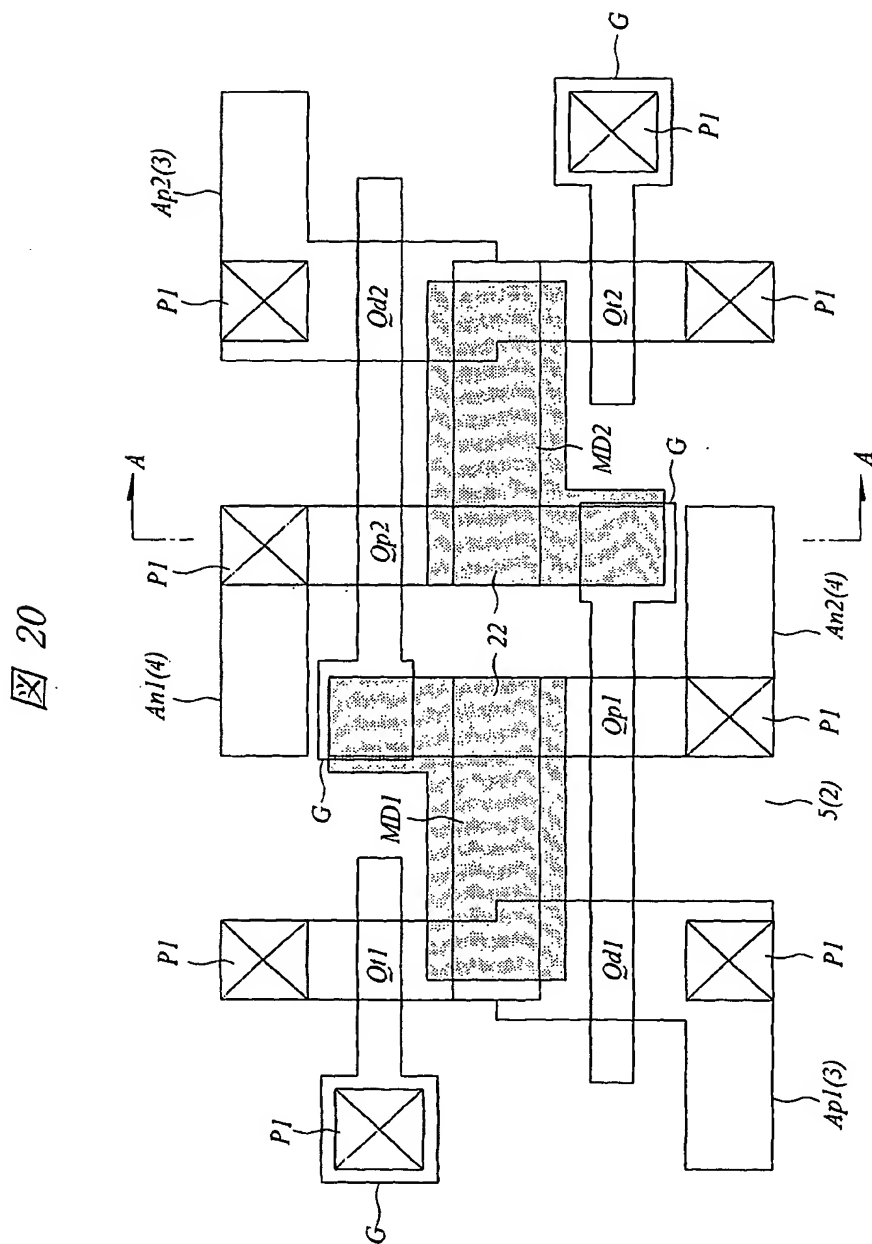


図 18

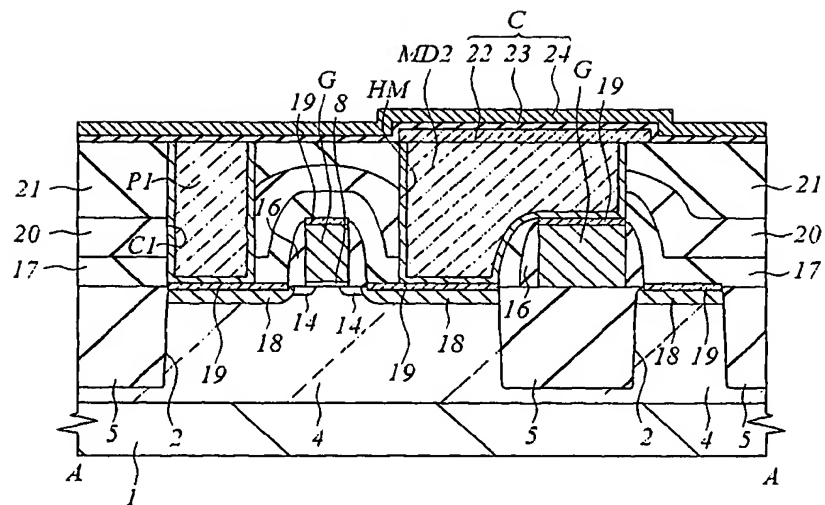


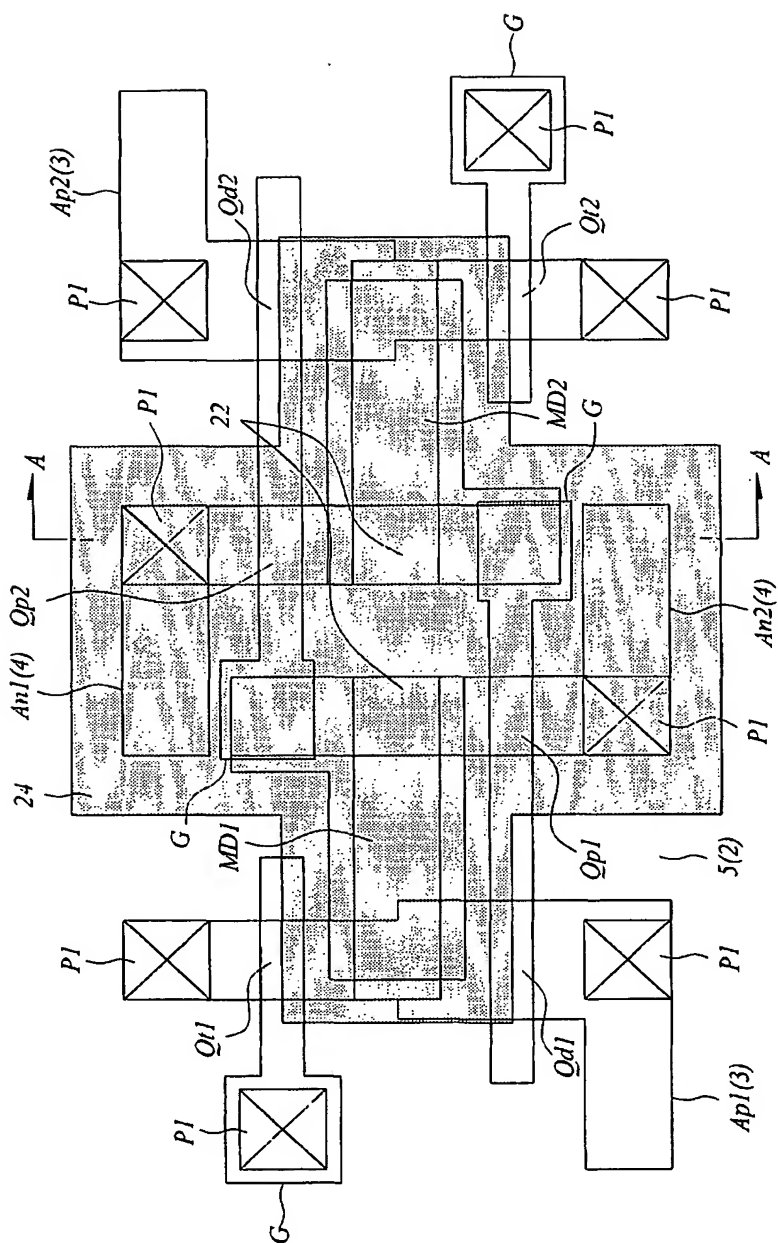
19





✕ 21





义 23

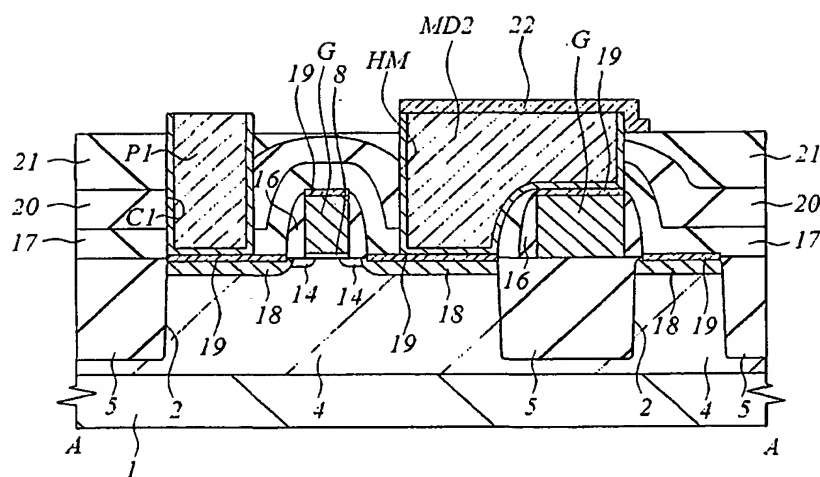
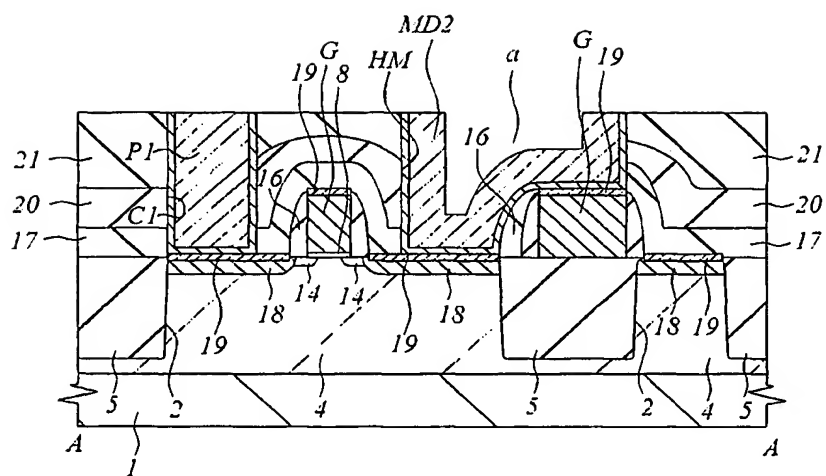
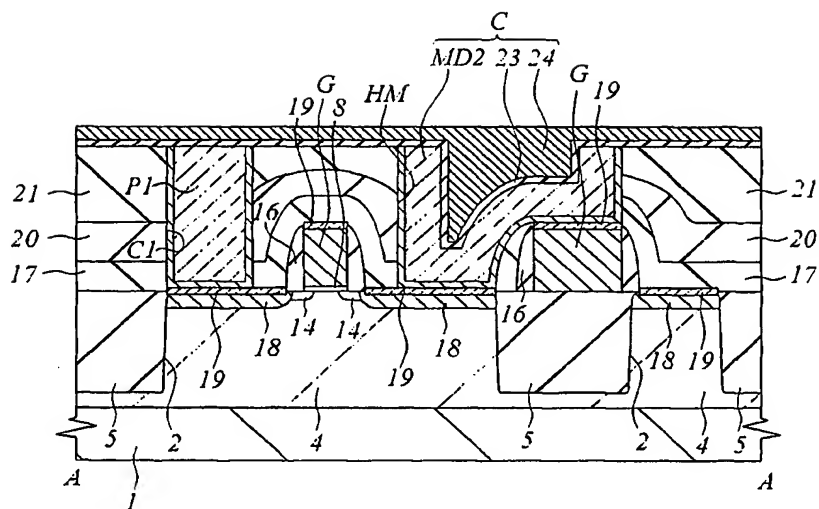


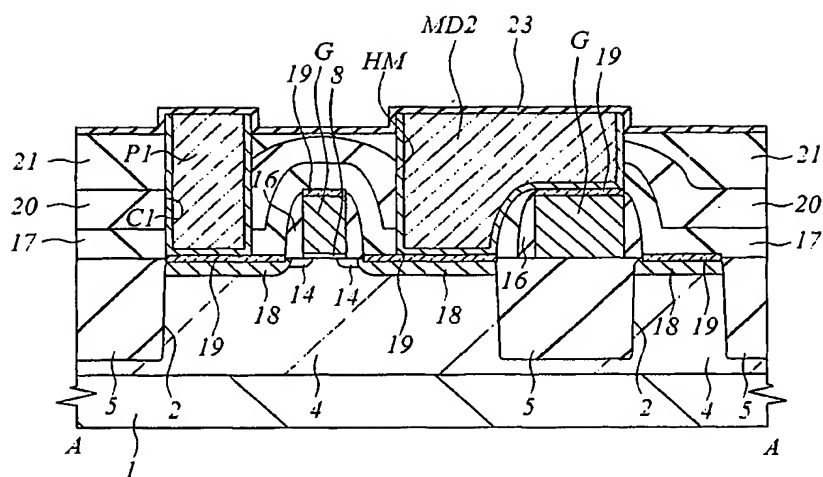
图 25



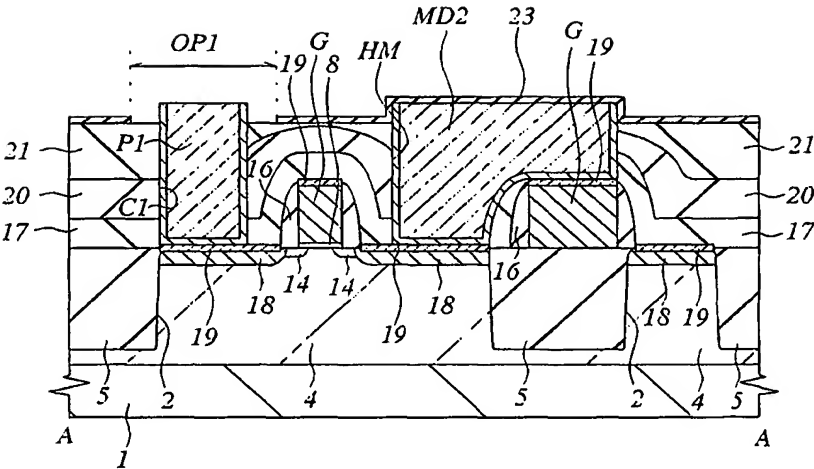
26



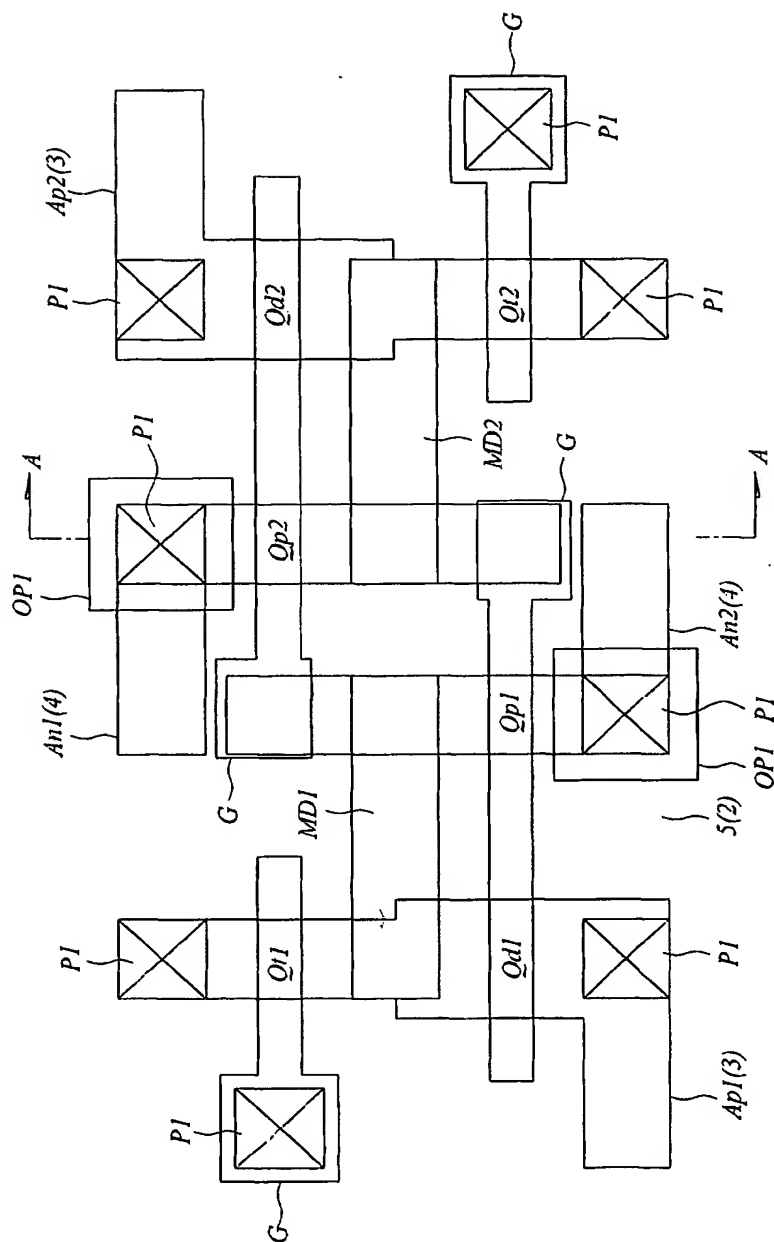
27



28



29



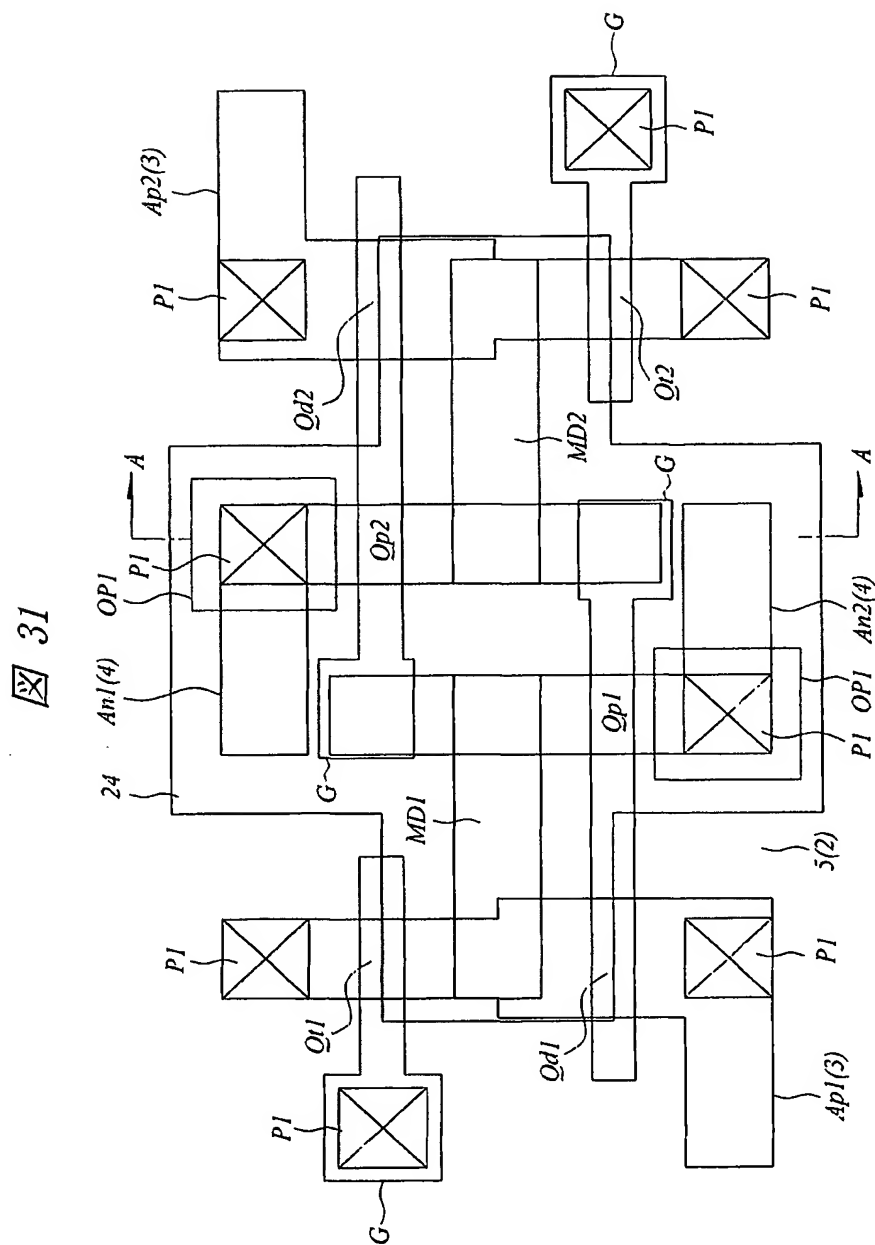


図 33

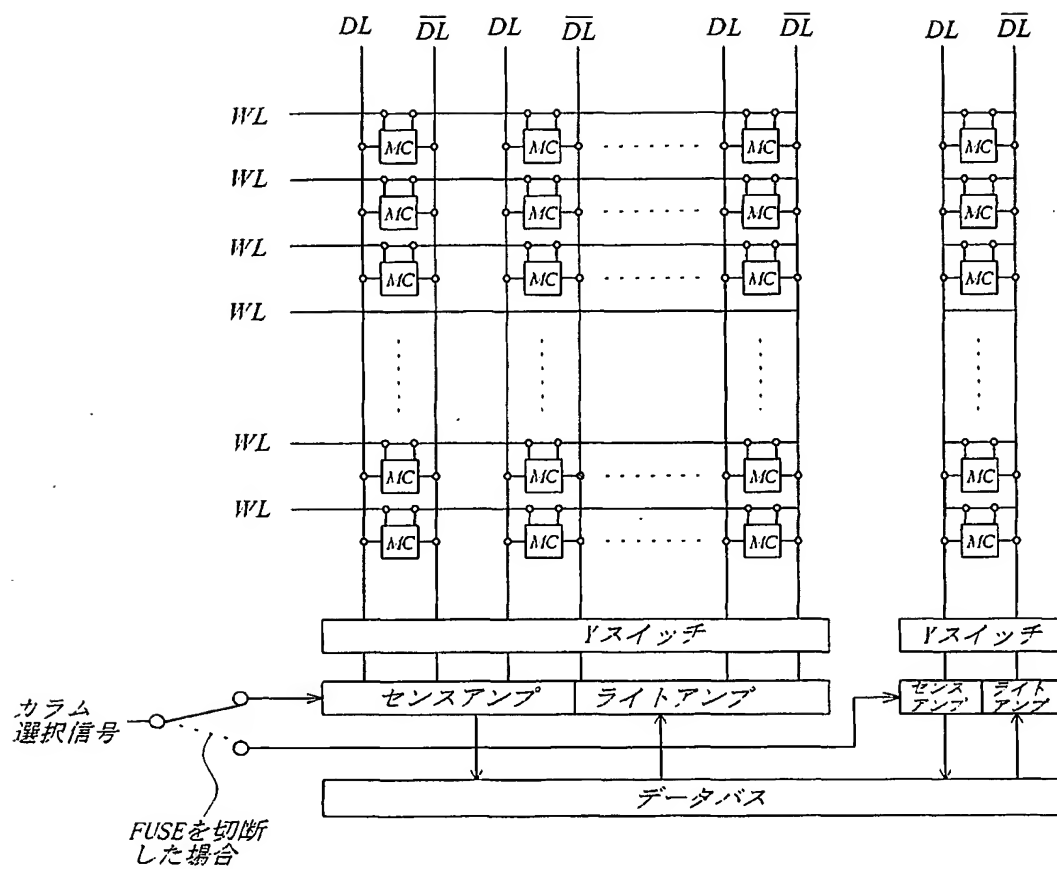
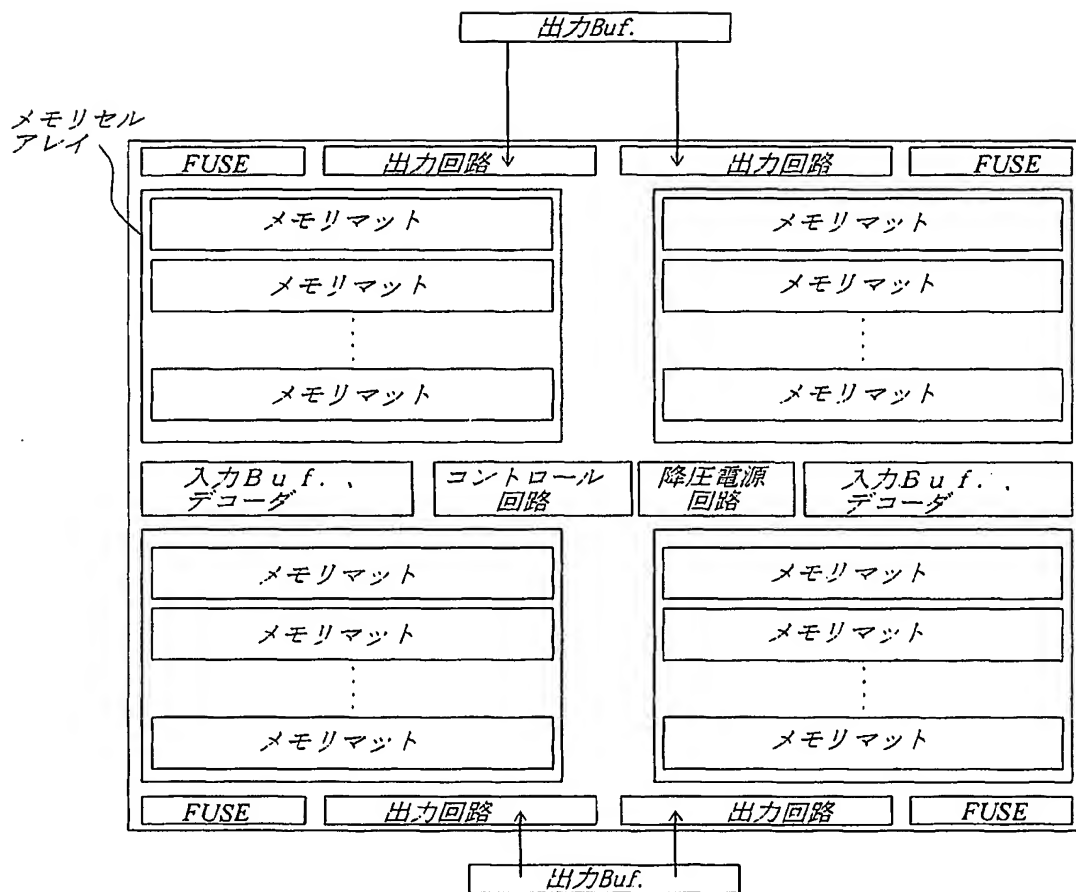
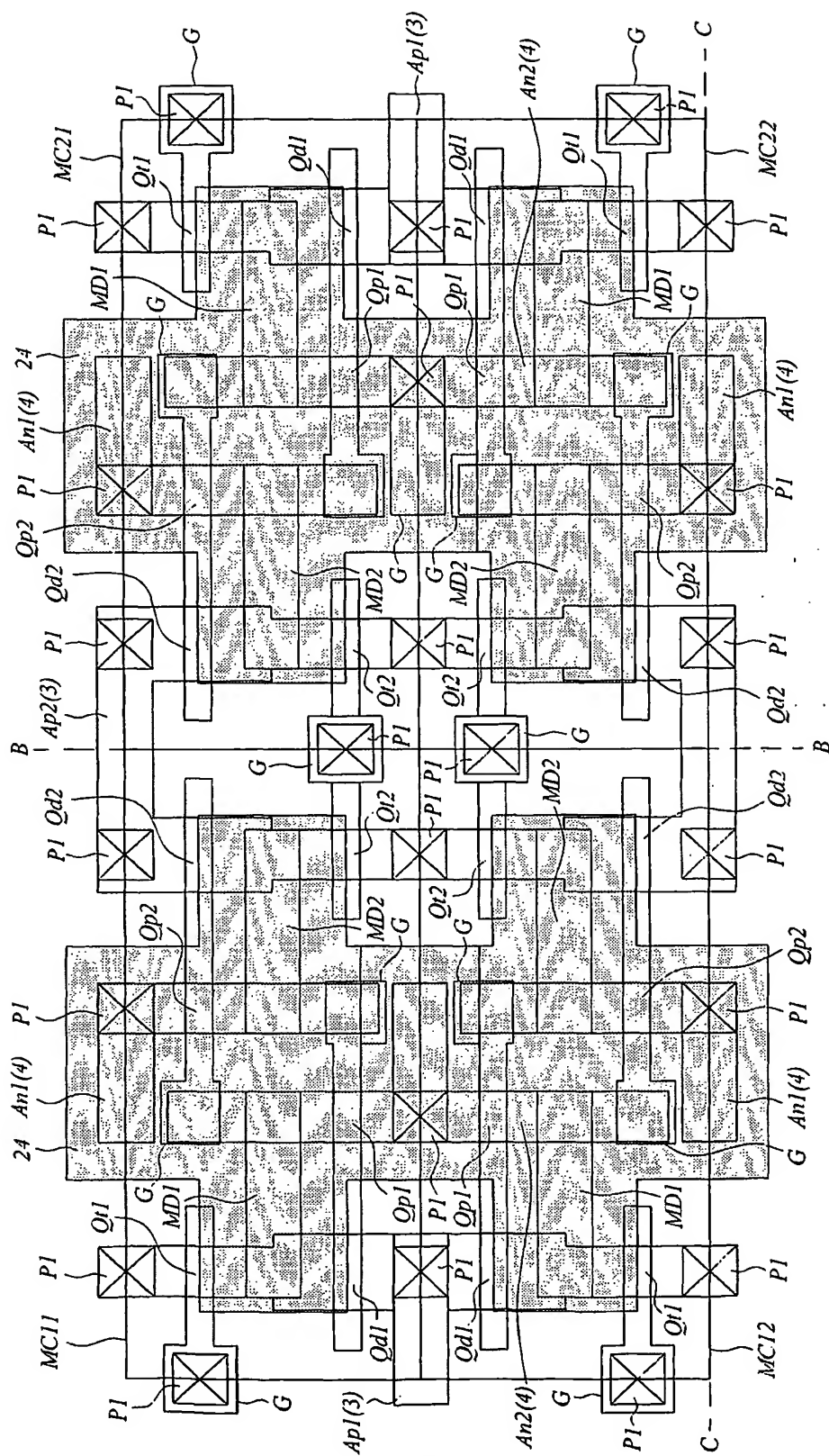


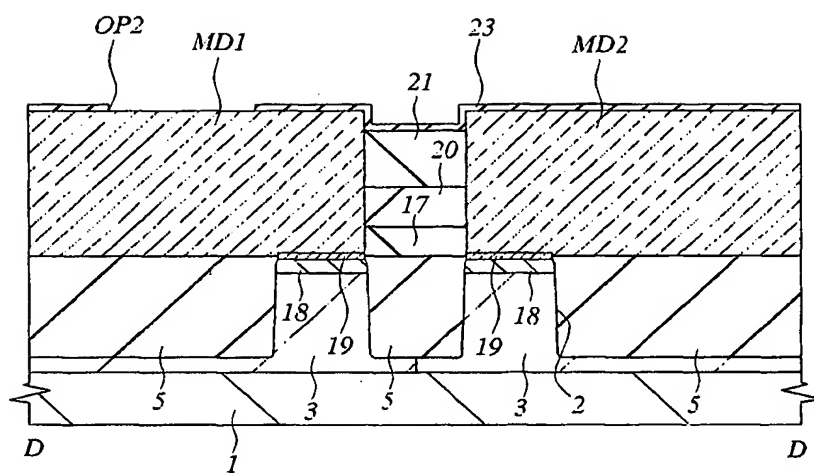
図 34



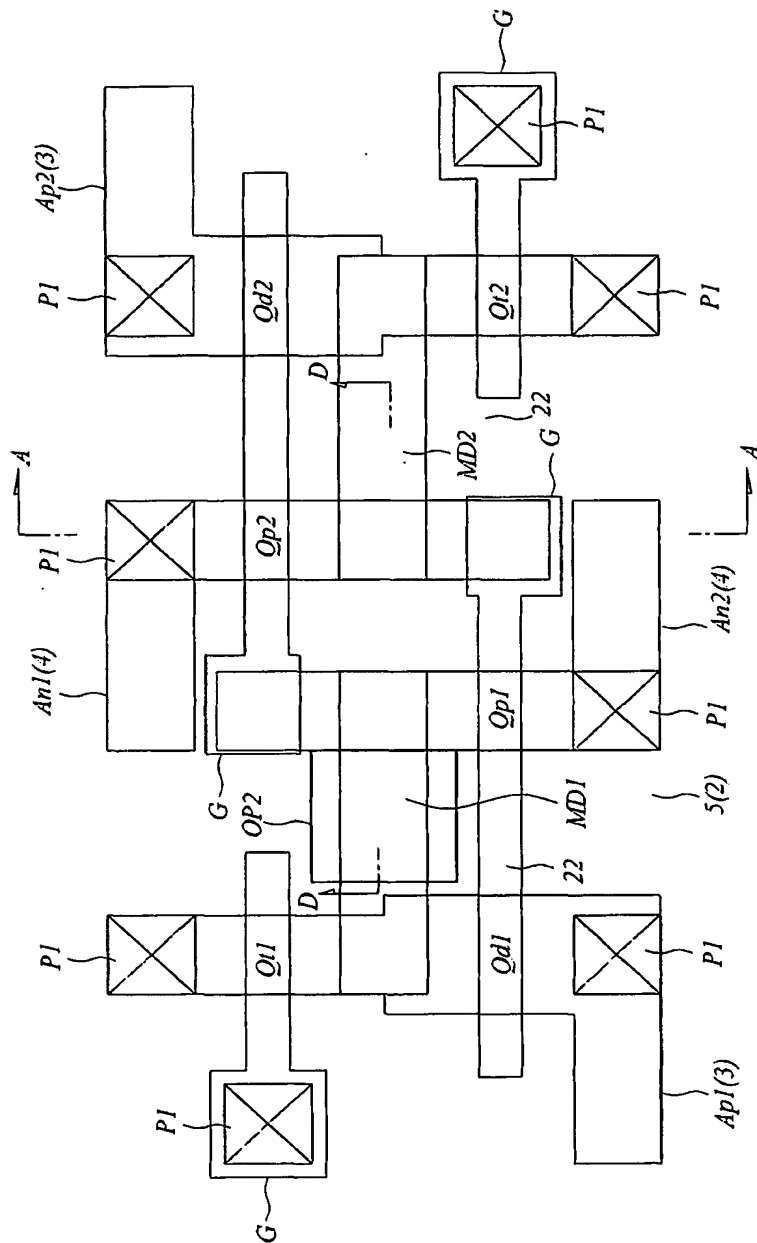
35



37



38



39

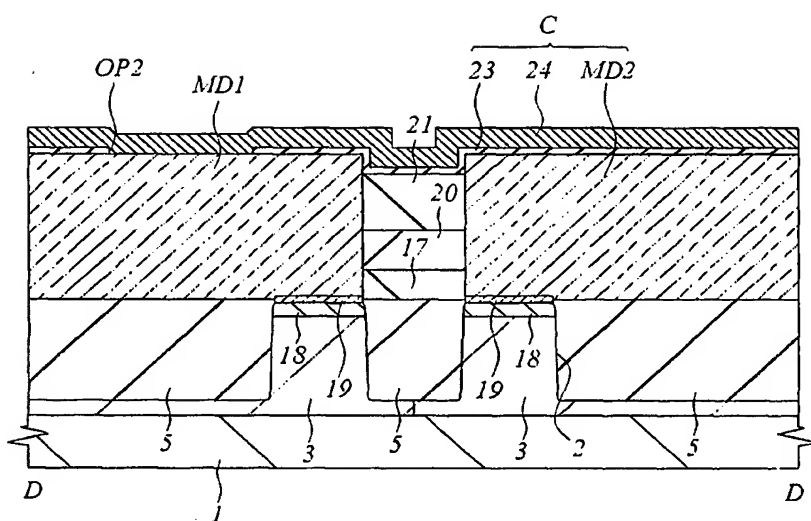
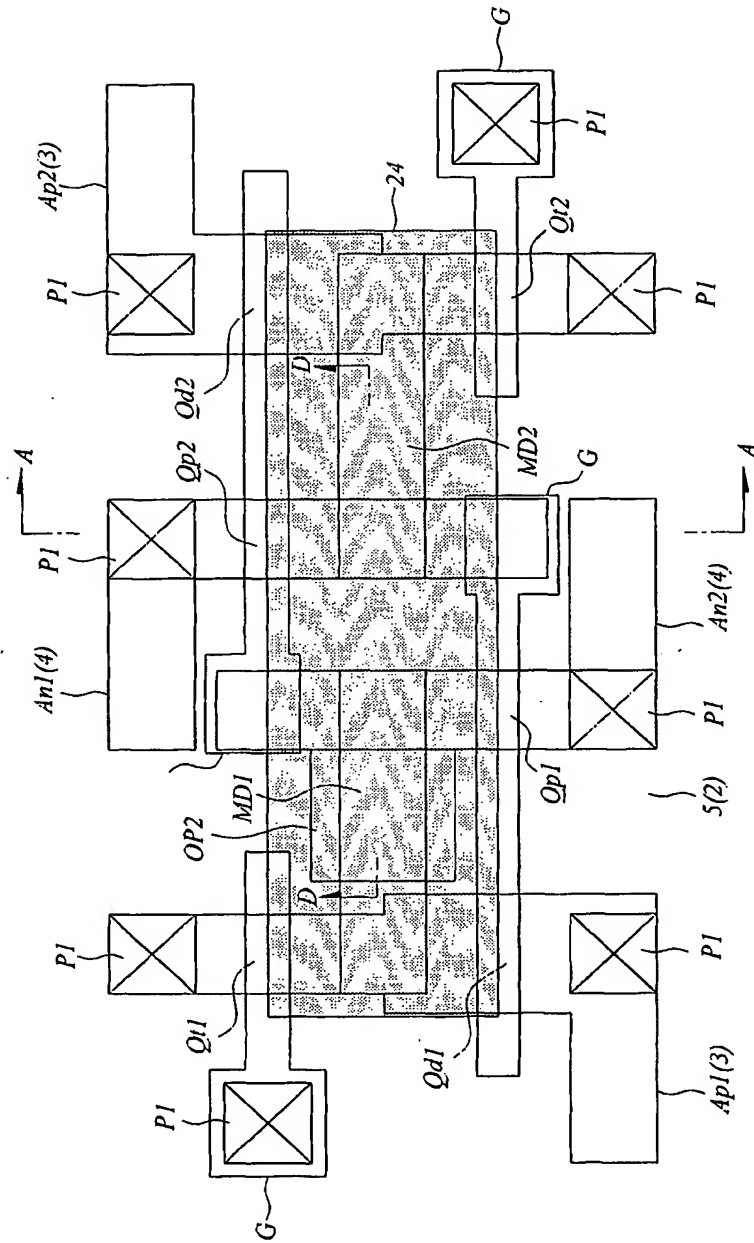
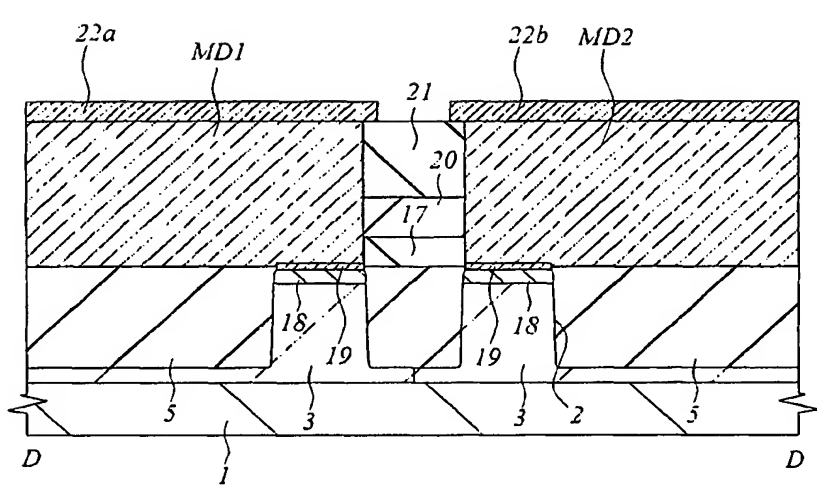


図 40





A cross-sectional diagram of a semiconductor device 41. The device consists of a substrate 1 with a central region 2. On the left and right sides of region 2 are regions 3, each containing a rectangular block 18. Above these blocks are layers 19 and 17. A central vertical structure 20 is located between the two blocks 18. The top of the device is covered by a layer 21. The left and right sides of the device are labeled 22a and 22b, respectively, and are associated with labels MD1 and MD2. The bottom of the device is labeled 5. The device is shown in a cross-section along a line D-D.

41

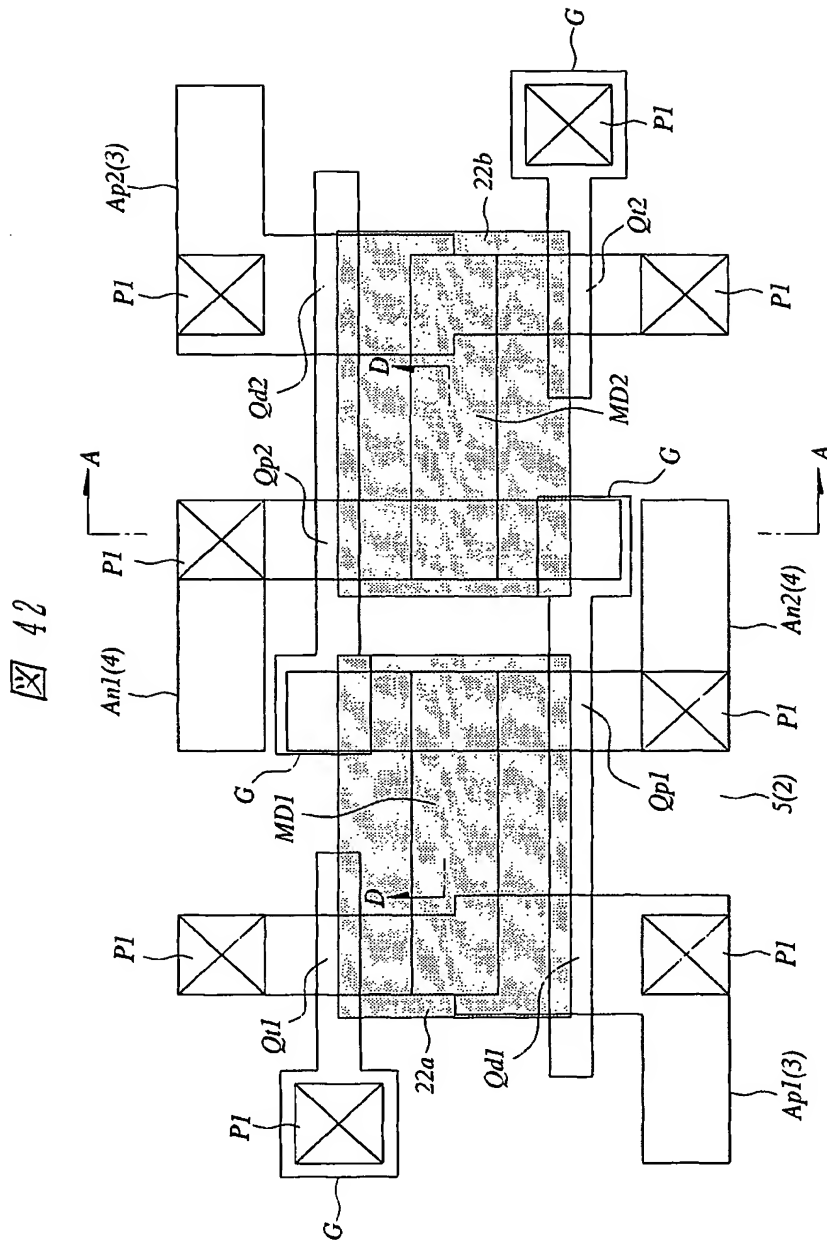
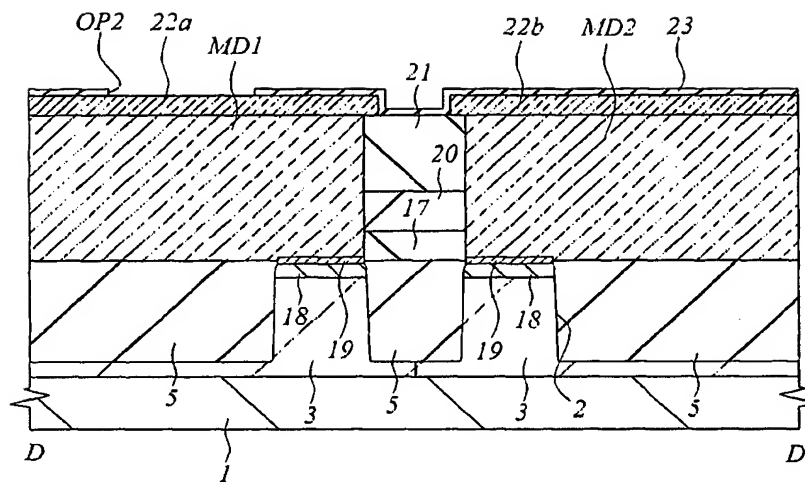
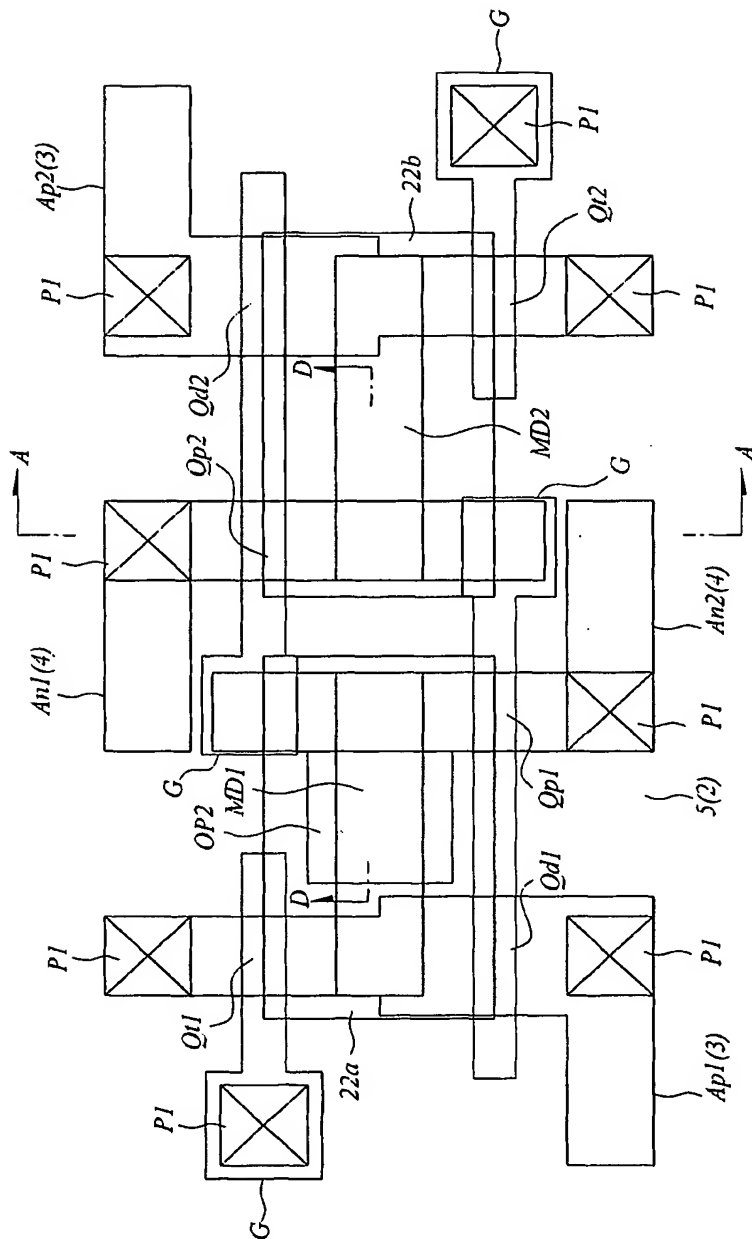


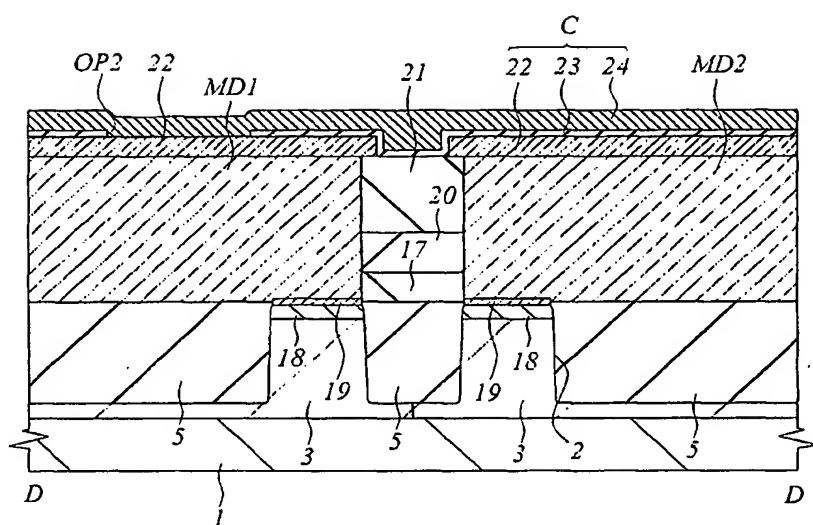
図 43



44



45



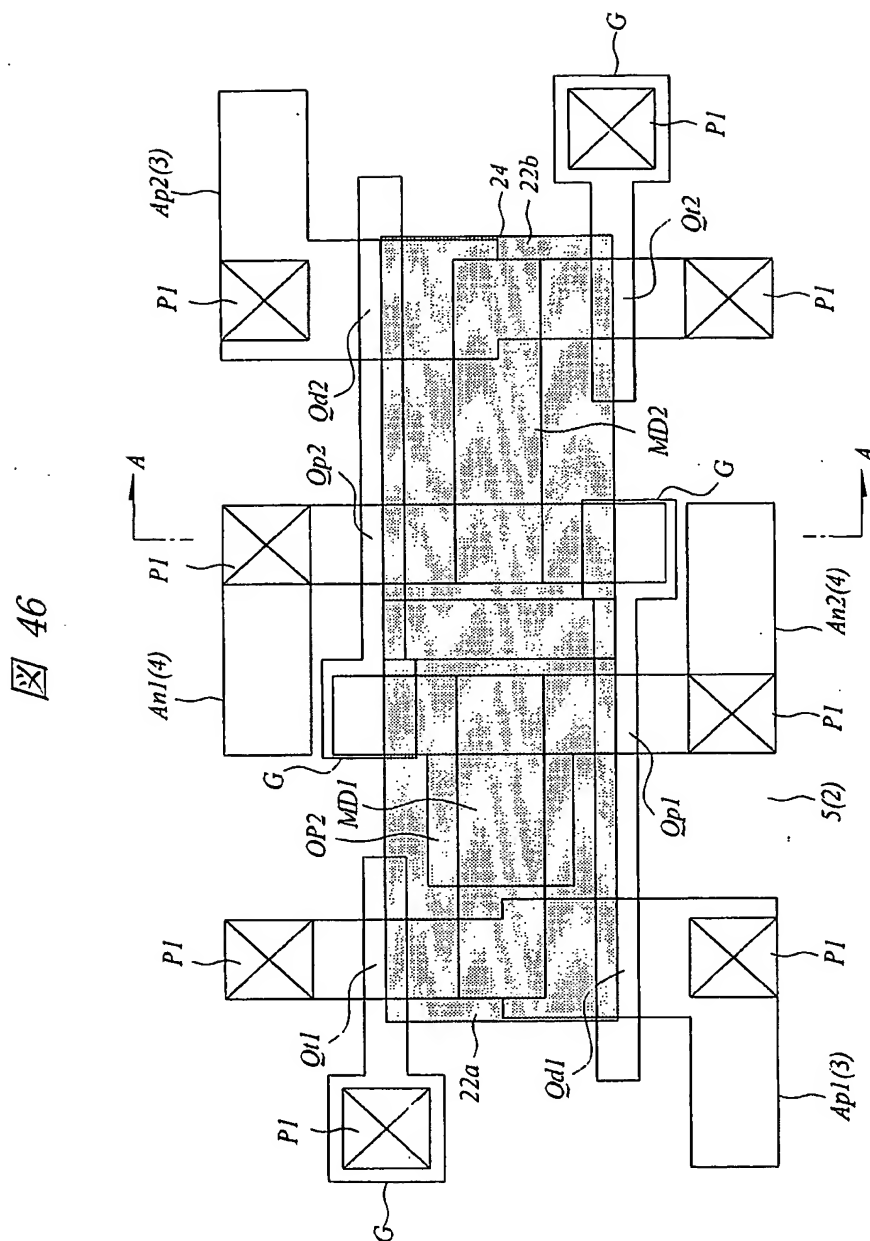


図 47

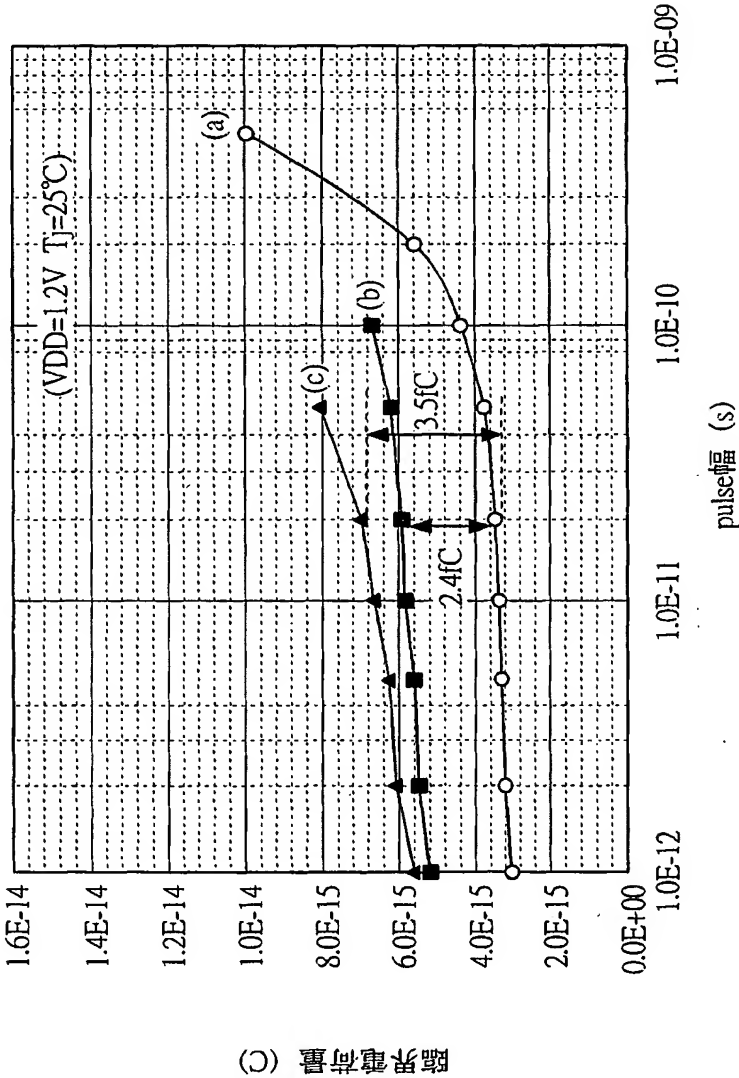
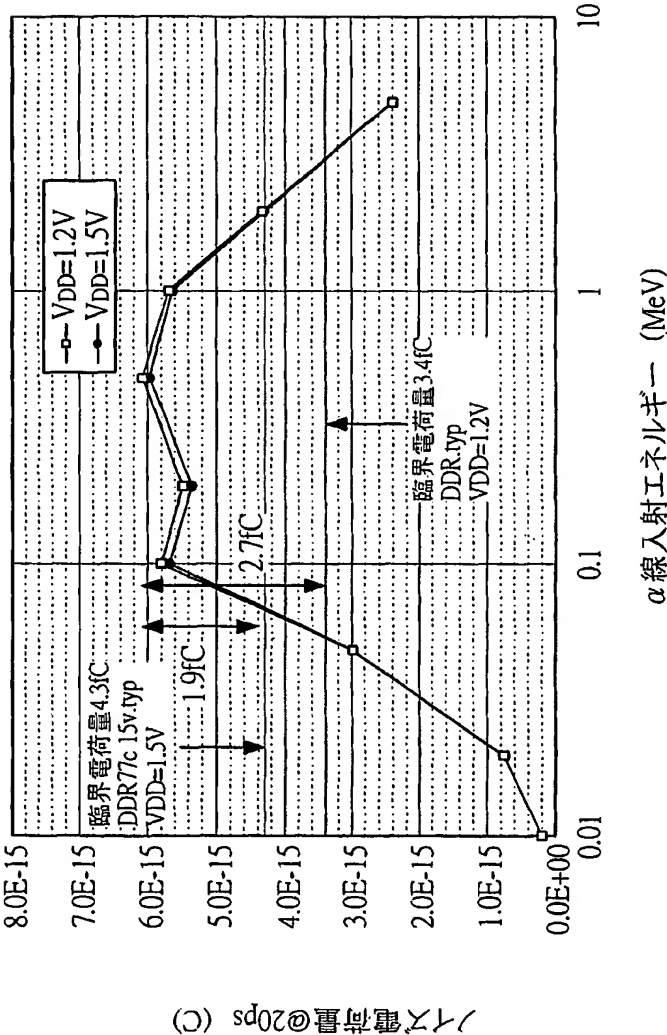


図 48



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11426

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/11, H01L21/8244

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/11, H01L21/8244

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 9-17965, A (Hitachi, Ltd.), 17 January, 1997 (17.01.97), Figs. 1, 11, 16 to 18 (Family: none)	1-3, 8-11 39, 40
X	JP, 2-40951, A (NEC Corp.), 09 February, 1990 (09.02.90), Fig. 3 (Family: none)	1-3, 25-28
X	JP, 11-26604, A (Mitsubishi Electric Corp.), 29 January, 1999 (29.01.99), Figs. 1, 2, 21, 25, 37, 42, 46 & US. 6271569 B1 & DE 19750895 A & CN 1204871 A & TW 353805 A & KR 99-013268 A	1-3, 25-28

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 April, 2002 (02.04.02)Date of mailing of the international search report
16 April, 2002 (16.04.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11426

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, 5514615, A (Fujitsu Ltd.), 07 March, 1996 (07.03.96), Figs. 8A to 8F, 9A to 9E & JP 4-291958 A & EP 510344 A & KR 96-11180 B	1-59
A	US, 5100817, A (IBM Corp.), 31 March, 1992 (31.03.92), Figs. 1 to 16 & JP 6-13575 A & EP 468217 A	1-59

国際調査報告

国際出願番号 PCT/JPO1/11426

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/11 H01L21/8244

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L27/11 H01L21/8244

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-17965 A (株式会社日立製作所) 1997.01.17 第1図、第11図、第16図～第18図 (ファミリーなし)	1-3, 8-11 39, 40
X	JP 2-40951 A (日本電気株式会社) 1990.02.09 第3図 (ファミリーなし)	1-3, 25-28

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

02.04.02

国際調査報告の発送日

16.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭



4M

9276

電話番号 03-3581-1101 内線 3461

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-26604 A (三菱電機株式会社) 1999.01.29 第1図、第2図、第21図、第25図、第37図、第42図、第46図 & US 6271569 B1 & DE 19750895 A & CN 1204871 A & TW 353805 A & KR 99-013268 A	1-3, 25-28
A	US 5514615 A (Fujitsu Ltd.) 1996.03.07 第8A図～第8F図、第9A図～第9E図 & JP 4-291958 A & EP 510344 A & KR 96-11180 B	1-59
A	US 5100817 A (IBM Corp.) 1992.03.31 第1図～第16図 & JP 6-13575 A & EP 468217 A	1-59